

DOI:10.19651/j.cnki.emt.2208857

紧凑型大驱动周期干扰发生器设计*

金大君 粟涛

(中山大学电子与信息工程学院 广州 510006)

摘要: 为了降低目前的集成电路电磁干扰测试实验成本及风险,提出了一种可以对低阻抗集成电路芯片电源端进行周期性扰动的干扰发生电路。该电路使用低阻抗 MOS 管作为输出驱动,将多个 MOS 管连接到不同输出电压值的电源芯片上,使用 FPGA 控制这些 MOS 管的开关,能够产生具有一定频率与幅值的周期性扰动波形。以该电路结构制成的干扰器能以板卡的形式插到测试板上,用普通充电器即可供电,相对射频信号源加功率放大器这样的大型装备,其具有体积小、功耗低、操作简单、造价低,安全方便等特点。将干扰器接入用于等效低阻抗待测芯片的负载电路进行电磁干扰实验测试。测试结果表明,干扰器可以对电容值为 50 pF,电阻值为 10 Ω 的低阻抗负载,在 0~30 MHz 范围内,产生约 1 V 的电压扰动,在 30~80 MHz 范围内,产生 0.5~1 V 的电压扰动。

关键词: 集成电路;电磁干扰;测试设备;大驱动;信号发生器

中图分类号: TP29 **文献标识码:** A **国家标准学科分类代码:** 510.1010

Design of compact large driving period interference generator

Jin Dajun Su Tao

(School of Electronics and Information Technology, Sun Yat-sen University, Guangzhou 510006, China)

Abstract: In order to reduce the cost and risk of current integrated circuit electromagnetic interference test experiment, an interference generating circuit which can periodically disturb the power supply end of low impedance integrated circuit chip is proposed. The circuit uses low impedance MOS tubes as the output driver, connects multiple MOS tubes to power chips with different output voltage values, and uses FPGA to control the switches of these MOS tubes, which can produce periodic disturbance waveforms with certain frequency and amplitude. The jammer made of the circuit structure can be inserted into the test board in the form of board card and can be powered by ordinary charger. Compared with large equipment such as RF signal source and power amplifier, it has the characteristics of small volume, low power consumption, simple operation, low cost, safety and convenience. The jammer is connected to the load circuit of the chip to be tested with equivalent low impedance for electromagnetic interference test. The test results show that the jammer can generate about 1 V voltage disturbance in the range of 0~30 MHz and 0.5~1 V voltage disturbance in the range of 30~80 MHz for low impedance load with capacitance of 50 pF and resistance of 10 Ω .

Keywords: integrated circuits; electromagnetic interference; measurement instrument; large drive; signal generator

0 引言

电磁抗扰性是指集成电路受到干扰时仍然能够正常工作的能力。电子设备厂商希望选择具有较高抗扰性的集成电路芯片^[1-3]来提高产品的可靠性。因此对集成电路的抗扰性进行表征测试^[4-6]是产业界的客观需求。

根据现有的针对集成电路的电磁干扰测试标准^[7-10],测试实验会使用较大型的设:通常为一个射频源(信号发生器^[11-12])、一个功率放大器,再加若干耦合部件。

射频信号发生器目前被广泛的应用于电子电路系统,而合成射频信号的方法大致可以分为 3 种^[13],包括锁相环式频率合成法(PLL)^[14],直接模拟频率合成法(DAFS)与直接数字频率合成法(DDS)。锁相环式频率合成技术频率捷变速度会随着频率分辨率的提高而降低,而直接模拟频率合成技术的电路结构过于复杂,电路庞大,成本过高,而且存在易受混频与倍频电路影响的问题,杂波干扰的问题较难解决,而直接数字频率合成技术通过相位累加的原理合成所需的波形,其具有较快的产生频率,较高的精度,较低

收稿日期:2022-01-15

* 基金项目:广东省重大科技计划项目(2021B110127007,2019B010140002)资助

的成本与较强的可控能力等优势,因此目前的射频信号发生器主要通过直接数字频率合成(DDS)技术合成^[15]。

随着 FPGA 技术的日渐成熟与广泛应用,基于 FPGA 与 DDS 技术实现信号的合成的方式逐渐进入了人们的视野,相比较与直接使用 DDS 芯片产生输出信号,它拥有更高的灵活度与可控性。2011 年, Gao 等^[16]利用 FPGA 收发器和电阻加权网络以及宽带功率放大器设计了一个预期用途为 IC 抗扰度测试的 20 V 高速低成本任意波形发生器。但是其设计的依然是一个低输出功率的波形发生器,无法避免的需要使用功率放大器以提高其在负载处的电压,在不使用功率放大器的条件下,其波形发生器在 50 Ω 的负载上仅能产生峰值为 0.1 V 的波形。2018 年,周玉勇等^[17]通过 DDS 信号发生器与滤波放大电路设计了大功率的稳定射频激励源,输出信号频率在 30~90 MHz,但实际上其使用的 DDS 芯片的输出功率较低,需要采用两级功率放大器才可实现大功率输出。2020 年,沈辉等^[18]基于 DDS 技术设计了一款简易的信号发生器,但由于其较低的输出功率,其仅能作为各类仪器的前级频率源使用。

由于 DDS 芯片的输出功率一般都比较低,因此目前用其设计的射频信号发生器会由于输出功率不足,导致驱动能力不足,无法直接作为射频干扰源对待测芯片(DUT)的引脚电压进行干扰,从而需要依赖射频功率放大器。但射频功放的功率高达上百瓦,需要耦合部件,与测试板上的电源系统混合后,最终在芯片引脚上只产生零点几或 1~2 V 的电压波动。

此外,无论功放还是射频源,都占据较大的实验桌面积,需要小心使用,运行时噪声大,对测试员不友好。同时射频源和功放的造价都很高,一旦损坏,会造成时间和经费上的较大损失。

基于上述测试设备存在的问题,本文开发出了一种紧凑型电磁干扰发生器,其充分利用 FPGA 的优势^[19]、MOSFET 的开关特性与低导通电阻,产生多位并行控制信号,控制多个不同输出电压幅值的开关电源以合成具有较高输出功率周期型射频干扰信号。该干扰器紧凑小巧,将给集成电路抗扰性的表征测试带来很大的方便。

1 干扰器的结构和原理

本文设计了一种基于增强型 N 沟道 MOS 管的紧凑型电磁干扰发生器,可生成叠加了射频波形的干扰电源信号。其需要达到的指标有:1)干扰器应该具有很低的输出阻抗,以扰动芯片电源端的电压;2)干扰性的输出杂波应该能覆盖一个较宽的频率范围,以测试芯片在各干扰频率上的抗扰度;3)干扰器能产生芯片电源标称电压这么大的扰动,约 0.5~1 V。

干扰器以 MOS 管作为开关元件,工作有截止或导通两种状态,由于 MOS 管是电压控制元件,所以可以通过控制栅源电压 U_{GS} 决定其工作状态。当栅源电压 U_{GS} 小于开

启电压 $U_{GS(th)}$ 时, MOS 管工作在截止区,漏源电流 I_{DS} 基本为 0, MOS 管处于“断开”状态。当栅源电压 U_{GS} 大于开启电压 $U_{GS(th)}$ 时, MOS 管工作在导通区,漏源电流可表示为:

$$I_{DS} = U_{DD} / (R_D + R_{DS}) \quad (1)$$

其中, U_{DD} 为漏极电压, R_{DS} 为 MOS 管导通时的漏源电阻, R_D 为负载电阻。则漏源电压可表示为:

$$U_{DS} = U_{DD} \cdot R_{DS} / (R_D + R_{DS}) \quad (2)$$

如果 R_{DS} 远小于负载电阻 R_D , 则 U_{DS} 约等于 0 V, MOS 管处于“接通”状态。

每个 MOS 管相当于一个开关,多个 MOS 管漏极/源级并联作为一个单元。将 3 组具有相同数量 MOS 开关管的该结构单元共源级输出外接待测电路,利用每组单元漏极输入的不同电压控制输出幅度,栅极外接 FPGA 生成周期性控制信号决定每组 MOS 开关管的开启数量,使得输出波形随时间周期变化。通过调控 FPGA 生成的控制信号的频率及编码可获得不同频率及波形的电磁干扰源。

2 干扰器的理论分析

每组 MOS 开关管组由 3 个 MOS 开关管漏极/源级并联构成,3 组 MOS 开关管组共源级接待测电路,各自的漏极分别接 $V_0 + V_m$ 、 V_0 、 $V_0 - V_m$ 的电压(其中 V_m 为输出电压的振幅, V_0 为输出电压的有效值),利用周期性的 FPGA 的控制信号控制 MOS 开关管的导通状态来周期性的改变输出电压。

具体工作原理如下:令 MOS 开关管的结构均一致,则 MOS 开关管导通阻抗近似相等,不妨设置为 R 。将 3 组 MOS 开关管组的各自的开关导通数量设置为 N_A 、 N_B 、 N_C 。当仅考虑 A、B 两组 MOS 开关管组存在导通而 C 组不导通时,则电路可等效为 R_A 、 R_B 串联,两端节点电压分别为 $V_0 + V_m$ 、 V_0 ,中间节点为电压输出端,如图 1 所示。

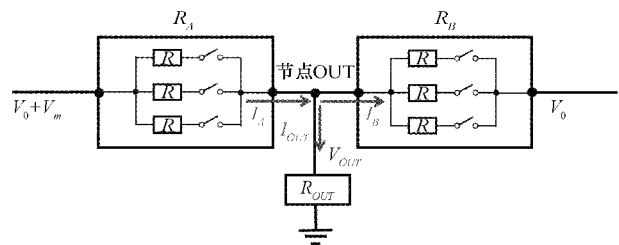


图 1 A、B 两组 MOS 开关管组导通等效电路

由于负载电阻远大于 MOS 开关管导通电阻,则输出端电压可近似为:

$$V_{OUT} = V_0 + V_m \cdot \frac{\frac{R}{N_B}}{\frac{R}{N_A} + \frac{R}{N_B}} = V_0 + V_m \cdot \frac{N_A}{N_A + N_B} \quad (3)$$

同理,当仅考虑 B、C 两组 MOS 开关管组存在导通而 A 组不导通时,输出端电压表示为:

$$V_{OUT} = V_0 - V_m \cdot \frac{\frac{R}{N_B}}{\frac{R}{N_C} + \frac{R}{N_B}} = V_0 - V_m \cdot \frac{N_C}{N_C + N_B} \quad (4)$$

当令(A/B/C)3个MOS开关管组开关的打开数量由以下时序变换:

(0/3/0)→(1/3/0)→(2/3/0)→(3/3/0)→(3/2/0)→(3/1/0)→(3/0/0)→(3/1/0)→(3/2/0)→(3/3/0)→(2/3/0)→(1/3/0)→(0/3/0)→(0/3/1)→(0/3/2)→(0/3/3)→(0/2/3)→(0/1/3)→(0/0/3)→(0/1/3)→(0/2/3)→(0/3/3)→(0/3/2)→(0/3/1)→(0/3/0)

以 1 Hz 时钟信号为例,FPGA 应生成如图 2 所示的控制信号时序波形,用于控制各组 MOS 开关管开启数量。

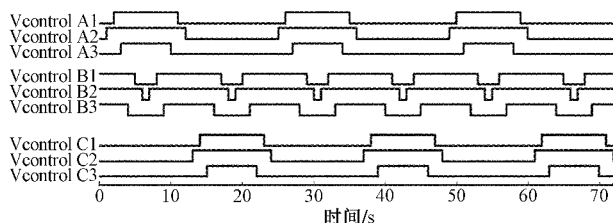


图 2 24 采样点控制信号时序波形图

最终可得到如图 3 所示的阶梯状变化波形,近似正弦。

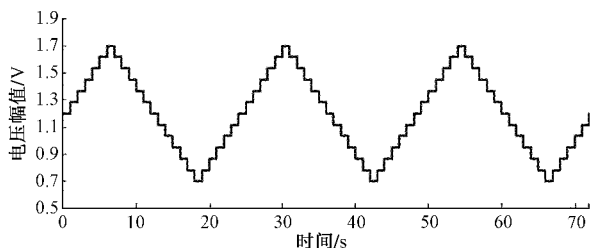


图 3 24 采样点输出信号波形图

若采样点数固定,改变控制信号的频率可改变输出信号频率。为提高输出波形精度,可减小采样时间间隔,增加 MOS 开关管数量使采样点增多,但在控制信号频率一定的情况下会降低波形的频率。

以上方案电磁干扰源的一个周期有 24 个采样点,因此控制信号也要以 24 个时钟周期为代价来获得一个完整周期的干扰信号。考虑到 FPGA 的时钟频率一定,若适当降低采样点数量则可换取更频率的干扰信号。

考虑到电流的连续性,采用如下的(A/B/C)MOS 开关管组开关的打开数量逻辑来最大限度的提高干扰信号的频率:

(0/3/0)→(3/3/0)→(3/0/0)→(3/3/0)→(0/3/0)→(0/3/3)→(0/0/3)→(0/3/3)→(0/3/0)

FPGA 应生成如图 4 所示的控制信号时序波形,用于控制各组 MOS 开关管开启数量。

最终可得到如图 5 所示的阶梯状变化波形,同样近似

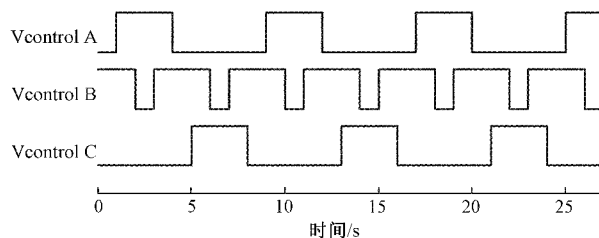


图 4 8 采样点控制信号时序波形图

正弦。虽然一个周期采样点降低至了 8 个,但是驱动信号频率却可提高 3 倍。

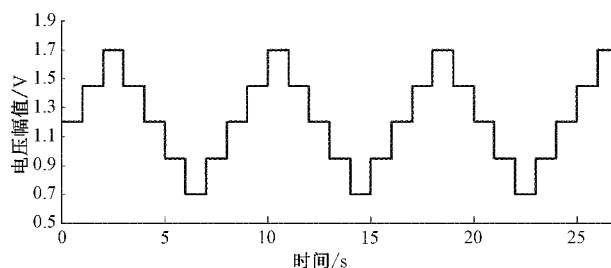


图 5 8 采样点输出信号波形图

在此逻辑下,虽没有必要再使用 3 个 MOS 开关管作为一个 MOS 开关管组,但是每一组 MOS 开关管并联数量越多,同时导通时其对应的导通阻抗也会越小,有利于提高干扰信号的驱动能力。

3 干扰器的性能测试与分析

该干扰器的指标是接入低阻抗集成电路芯片电源端后,能扰动其源端电压值,扰动值约为 0.5~1 V,同时扰动频率需要覆盖一个较宽的频带。

根据指标需求,系统测试平台如图 6 所示,将干扰器的输出端接入低阻抗负载的源端(使用 10 Ω,50 pF 负载等效低阻抗芯片),并用示波器观测负载源端的信号波形,测试重点为波形的分辨率、频率值以及扰动电压幅值。

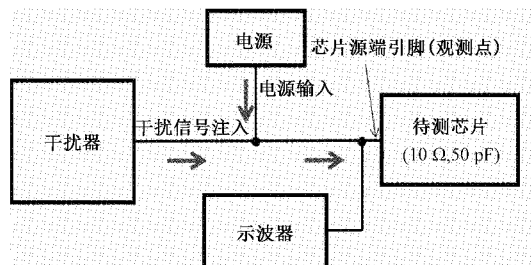


图 6 干扰器性能测试平台示意图

3.1 24 采样点干扰信号测试

使用 100 MHz 晶振作为控制信号时钟源,控制信号以 24 个时钟周期为代价获得一个完整周期的干扰信号。负载的观测点可以测得如图 7 所示的干扰器的输出信号。这是一个近似正弦的射频信号干扰后的电源信号,输出信号

频率 f_{OUT} 约为 4.191 MHz。实际峰值电压达到 2.17 V, 谷值电压为 1.17 V, 电压扰动幅值有 1.01 V, 驱动能力满足要求, 且输出波形的分辨率较高。

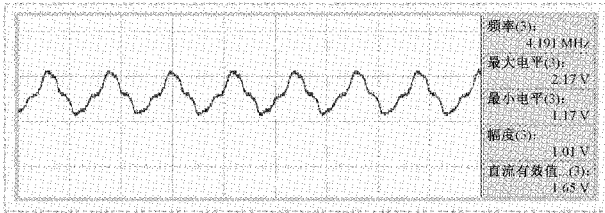


图 7 100 MHz 时钟源下 24 采样点输出信号波形图

由于干扰器的系统时钟覆盖频段为 0~800 MHz, 因此若采用 24 采样点的方案, 虽然波形分辨率较高, 但扰动频段仅能覆盖 0~33 MHz。

3.2 8 采样点干扰信号测试

为了追求更高频率的干扰信号, 适当降低采样点的数量, 控制信号以 8 个时钟周期为代价获得一个完整周期的干扰信号, 如下测试了 0~100 MHz 频段的实际干扰输出信号。

以 100 MHz 的时钟信号合成 3 个开关管组控制信号, 测得的实际波形如图 8 所示, 可以看到与理论的控制信号时序一致, 满足要求。

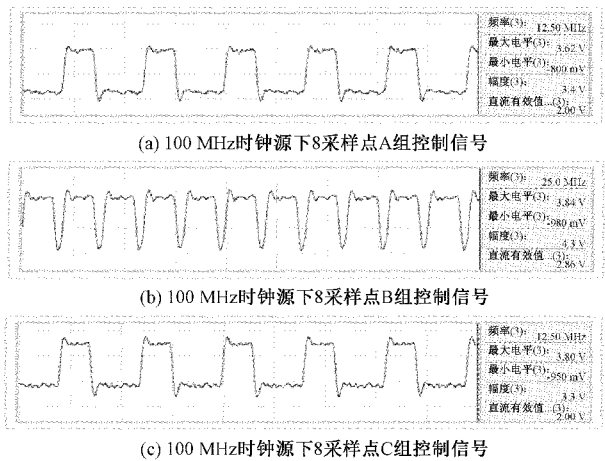


图 8 100 MHz 时钟源下 8 采样点控制信号波形图

最终在负载的观测点可以测得如图 9 所示的干扰器的输出信号, 这是一个近似正弦的经射频信号干扰后的电源信号, 输出信号频率 f_{OUT} 约为 12.56 MHz。峰值电压达到 1.92 V, 谷值电压为 0.96 V, 幅度有 0.96 V, 实际有效值 V'_0 为 1.5 V, 实际振幅 V'_m 为 0.48 V, 驱动能力满足要求。

为了进一步提高干扰信号的频率, 利用 XC7A200T 这块 FPGA 的内部锁相环(PLL)将 100 MHz 外部时钟倍频到 300 MHz, 作为控制信号的时钟频率, 控制信号仍以 8 个时钟周期为代价以获得一个完整周期的干扰信号。

最终在负载的观测点可以测得如图 10 所示的干扰器的输出信号, 这同样是一个近似正弦的经射频信号干扰后

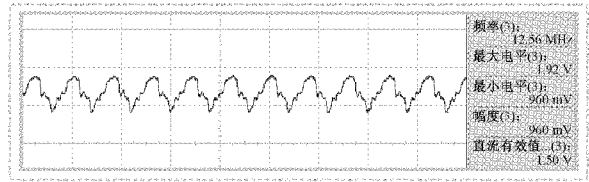


图 9 100 MHz 时钟源下 8 采样点输出信号波形图

的电源信号, 输出信号频率 f_{OUT} 约为 37.6 MHz。峰值电压为 1.80 V, 谷值电压为 1.26 V, 电压扰动幅值为 0.54 V, 幅度降低较多。

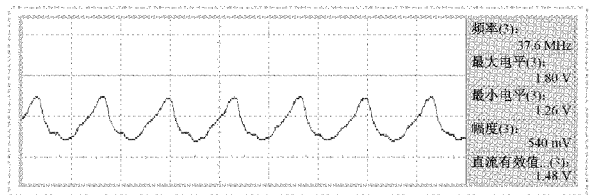


图 10 300 MHz 时钟源下 8 采样点输出信号波形图

为探究幅度下降过大原因, 测试控制信号, 如图 11 所示, 可以看到 B 组控制信号低电平为 1.21 V, 大于开关管阈值电压, 这会导致 B 组开关管无法正常关闭, 致使输出信号峰值降低, 谷值上升。因为 B 组信号低电平期间仅有一个时钟周期, 随着时钟频率的上升, 由于电路存在寄生参数, 电压下降难度会有所增加。

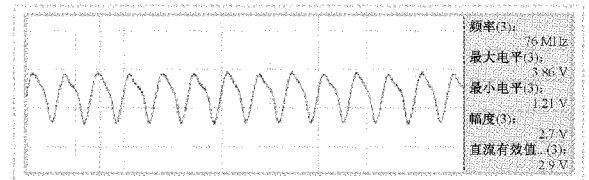


图 11 300 MHz 时钟源下 8 采样点 B 组控制信号波形图

3.3 10 采样点干扰信号测试

为了追求更大的电压扰动幅值, 不妨让 B 组信号低电平时间增加一个时钟周期, B 组控制信号如图 12 所示。

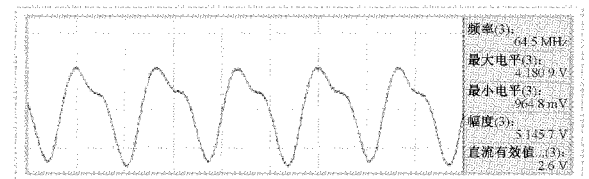


图 12 300 MHz 时钟源下 10 采样点 B 组控制信号波形图

采样点数量从 8 提高到了 10, 低电平降到了一 0.965 V, 可以正常关闭开关管。输出信号如图 13 所示, 可以看到输出信号频率 f_{OUT} 降低到了 30.1 MHz, 但电压扰动幅值提高到了 0.94 V, 驱动能力满足要求。

由于 XC7A200T 内部 PLL 最多约可将时钟倍频 3 倍, 故将外部 100 MHz 有源晶振用 622 MHz 的差分晶振代

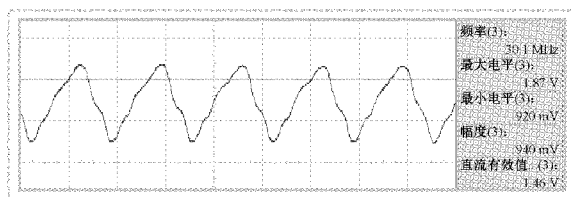


图13 300 MHz时钟源下10采样点输出信号波形图

替,可获得更高的控制信号的时钟频率。在不使用FPGA的PLL,控制信号时钟频率为622 MHz,控制信号仍以10个时钟周期为代价以获得一个完整周期的干扰信号的情况下,最终在负载的观测点可以测得如图14所示的干扰器的输出信号。这同样是一个近似正弦的经射频信号干扰后的电源信号,输出信号频率 f_{OUT} 约为62 MHz。峰值电压为1.71 V,谷值电压为0.94 V,电压扰动幅值为0.76 V,驱动能力有所降低,但仍满足指标要求。

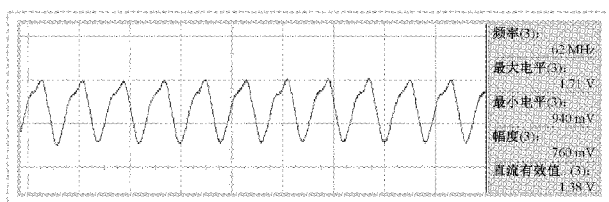


图14 622 MHz时钟源下10采样点输出信号波形图

XC7A200T的PLL最多可倍频至800 MHz的时钟输出,故将622 MHz外部时钟信号经FPGA的PLL倍频至800 MHz作为控制信号的时钟频率,控制信号仍以10个时钟周期为代价以获得一个完整周期的干扰信号,最终在负载的观测点可以测得如图15所示的干扰器的输出信号。这是一个近似正弦的经射频信号干扰后的电源信号,输出信号频率 f_{OUT} 约为80 MHz。峰值电压为1.623 V,谷值电压为1.126 V,电压扰动幅值0.5025 V,驱动能力再次有所降低,但仍满足指标要求。

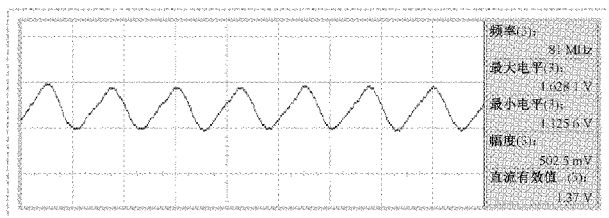


图15 800 MHz时钟源下10采样点输出信号波形图

3.4 干扰信号频率与实际扰动幅度关系分析

依据实际测试所得扰动波形的频率值以及扰动电压幅值,可以得到如图16所示的关系曲线。

可以看到,干扰器的输出信号对负载源端的电压扰动幅值会随着输出信号频率的提高而逐渐降,驱动能力会逐渐有所下降,但在所测的1~80 MHz频段,电压扰动幅值均在0.5~1 V,满足性能指标要求。

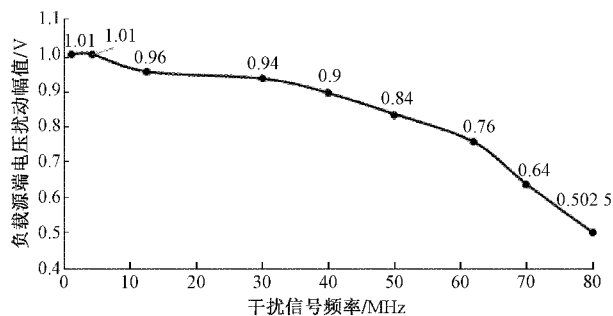


图16 输出信号对源端扰动电压幅值与频率关系图

4 结 论

根据测试结果分析可知,24采样点的干扰信号具有输出波形分辨率高的优点,同时在0~33 MHz频段,能对低阻抗负载的源端产生约0.5~1 V周期性电压扰动;8采样点的干扰信号能在0~40 MHz频段,能对低阻抗负载的源端产生约0.5~1 V周期性电压扰动;10采样点的干扰信号能在0~80 MHz频段,能对低阻抗负载的源端产生约0.5~1 V的周期性电压扰动。

该干扰器采用低导通阻抗的功率型MOS管与开关电源合成干扰信号,因此具有较低的输出阻抗与较大输出功率。实物测试模型的输出杂波能覆盖一个较宽的频率范围,最宽能实现在0~80 MHz范围内测试芯片在各干扰频率上的抗扰度。干扰器能产生芯片电源标称电压这么大的扰动,约0.5~1 V。因此,该干扰器实物原型达到了对应的指标。

本文设计的干扰器基本功能经过测试均可实现。干扰器紧凑小巧,能够以板卡的形式插到测试板上,用普通5 V充电器即可实现供电,相对于射频信号源加功率放大器这样的大型装备,在体积、功耗、操作、造价,安便捷等方面,更具有优势。

参考文献

- [1] 董晓波. 汽车电子与IT产品电磁兼容比较[J]. 中国新通信, 2016, 18(16): 141.
- [2] 杜斌. 抗干扰AC/DC开关电源芯片的研究与设计[J]. 电气传动自动化, 2015, 37(2): 10-13.
- [3] 余剑云. 电源电子设备的电磁兼容分析[J]. 电子技术, 2022, 51(1): 20-21.
- [4] 郭中会, 李松松, 何慧敏, 等. 基于电磁超声换能器的兰姆波单一模态激励方法研究[J]. 仪器仪表学报, 2021, 42(5): 253-260.
- [5] 白铨, 项璟, 张志宏, 等. 面向电磁兼容测量的高维多目标涂层计算方法[J]. 国外电子测量技术, 2021, 40(12): 12-18.
- [6] 王振华, 姚玉林, 曹火焰. 电子控制设备的抗干扰设计研究[J]. 科技创新与应用, 2021, 11(28): 90-92.
- [7] 陈庆雄, 张卫华, 蒋笑林. 电磁兼容(150 kHz~30 MHz)

- 传导干扰新测试方法的研究和应用[J]. 计算机与数字工程, 2021, 49(9): 1946-1949.
- [8] 朱研. 电磁兼容测试技术研究[J]. 中国新通信, 2019, 21(6): 220.
- [9] 秦洋, 周天翔, 袁文琦, 等. 基于高通滤波器的电机驱动系统电磁干扰测试[J]. 电力电子技术, 2021, 55(9): 23-27.
- [10] 张向明, 李建轩, 赵治华, 等. 基于时-频变换的电磁干扰频谱测试方法[J]. 电工技术学报, 2015, 30(S2): 16-20.
- [11] 冯星为. 基于 FPGA 的多功能 DDS 信号发生器[J]. 新型工业化, 2021, 11(8): 180-181, 235.
- [12] 韩前磊, 孔祥艺. 一种频率、幅度可控的正弦信号发生器的设计[J]. 固体电子学研究与进展, 2020, 40(5): 372-377.
- [13] 马志威, 赵阳, 彭振飞, 等. 应用于全数字发射机的射频信号发生器[J]. 固体电子学研究与进展, 2013, 33(3): 271-275.
- [14] 孙家星, 杜起飞, 孙越强, 等. 基于 PE3236 芯片的锁相环频率合成电路研究[J]. 电子设计工程, 2017, 25(5): 74-78.
- [15] 李林东. 直接数字频率合成 DDS 架构及其应用[J]. 集成电路应用, 2018, 35(1): 90-93.
- [16] GAO X, LI T, MENTESANA N B, et al. 20V-high speed low cost arbitrary waveform generator for ICs immunity test [C]. 2011 IEEE International Symposium on Electromagnetic Compatibility, 2011: 846-849.
- [17] 周玉勇, 郭敏. 基于 DDS 大功率高稳定射频激励源设计[J]. 科技视界, 2018, 26(10): 53-54, 29.
- [18] 沈辉, 薛兵, 唐朝阳, 等. 基于 DDS 技术的信号发生器设计[J]. 电子测量技术, 2020, 43(20): 160-164.
- [19] 宋锡文, 董业鹏, 杨世飞. 基于 FPGA 的振动信号处理参数寻优试验研究[J]. 电子测量与仪器学报, 2021, 35(2): 101-108.

作者简介

金大君, 硕士研究生, 主要研究方向为集成电路射频电动力学。

E-mail: jindj3@mail2.sysu.edu.cn

粟涛(通信作者), 博士, 副教授, 主要研究方向为集成电路射频电动力学, 芯片与应用系统设计等。

E-mail: sutao@mail.sysu.edu.cn