

DOI:10.19651/j.cnki.emt.2107098

# 基于FPGA的印刷体数字采集识别系统

于波 陈先瑞 张强 李建成

(东北石油大学 物理与电子工程学院 大庆 163318)

**摘要:** 为了增强数字图像采集识别过程中的高效性、实时性以及稳定性,设计了一款以 Altera 公司 Cyclone IV E 系列 EP4CE10F17C8 型号的 FPGA 为主控芯片,利用 SCCB 传输协议进行印刷体数字采集识别的系统。该系统采用 OV5640 摄像头作为图像的采集前端,将采集到的数字图像数据缓存到外部 SDRAM,再从 SDRAM 中读取数据通过 LCD 驱动进行颜色空间转换、二值化处理、投影分割以及特征匹配识别操作,最后通过数码管及 RGB LCD 显示屏对识别结果进行显示。对于印刷体数字,该系统可以实现快速准确的识别,适合低延时以及对识别精度等要求较高的场合。

**关键词:** 数字图像采集识别;FPGA;SCCB;OV5640 摄像头;SDRAM

**中图分类号:** TN4;TN91 **文献标识码:** A **国家标准学科分类代码:** 510.1050

## Digital image acquisition and recognition system based on FPGA

Yu Bo Chen Xianrui Zhang Qiang Li Jiancheng

(School of Physics and Electronic Engineering, Northeast Petroleum University, Daqing 163318, China)

**Abstract:** In order to enhance the high efficiency, real-time performance and stability in the process of digital image acquisition and recognition, a system based on Altera Cyclone IV E series EP4CE10F17C8 FPGA as the main control chip and SCCB transmission protocol is designed. The system uses the OV5640 camera as the front end of image acquisition. The collected digital image data is cached to the external SDRAM, and then the data is read from the SDRAM to carry out color space conversion, binarization processing, projection segmentation and feature matching recognition by LCD driver. Finally, the identification results are displayed by digital tube and RGB LCD screen. For printed numbers, the system can realize fast and accurate identification, suitable for low delay and high demand on identification accuracy.

**Keywords:** digital image acquisition and recognition;FPGA;SCCB;OV5640 camera;SDRAM

### 0 引言

近几年来,随着深度学习技术的崛起,图像识别领域的数字识别已经成为一个非常有实用价值的應用。在我国,数字识别近几十年来的发展大致可以分为两大类:基于全局的统计分析和基于结构的特征分析。基于全局的统计分析主要应用于模板匹配、像素点密度、特征点以及数学变换等技术来识别不同的数字;基于结构的特征分析主要是从数字的轮廓以及字符形状考虑<sup>[1]</sup>。在普遍的图像研究及应用过程中,一副图像的特定部分通常更能引起人们的兴趣,例如图像中的特定数字。通常这些数字都代表了图像中极为重要的信息,因此数字识别的重要性也变得越来越高。虽然数字识别的对象只有 0~9 这 10 种数字,并且相对而言它们笔画较少结构简单,但由于这些数字相差不大,所以也容易出现识别错误的问题。随着科技水平的进一步提

高,各方面领域对其处理速度、精度的要求也越来越高。近几年来,国内外在数字识别领域的发展水平日益上升,文献[2]中采用的技术是基于 BP 神经网络的数字识别,该方法识别率较高,但电路实现性较差;文献[3]中采用的是在 PC 机上用软件实现数字识别,具有灵活性和实时性较差的特点;文献[4]中通过单片机实现数字识别,该方法速度较慢,一般可用于简单的数字处理;文献[5]中通过大规模集成电路实现数字识别,其外围电路设计相对比较复杂,开发周期较长,且灵活性较差,成本较高。本文使用现场可编程门阵列(FPGA)作为主控核心,它是一种可以重新编程使用的硅芯片,采用 FPGA 完成数字识别处理工作,能够大幅度提升处理的速度从而满足实际应用中日益增长的需求,同时利用 FPGA 的可编程特性还可以实现图像处理中算法的重复验证与改进,减小开发周期,从而节约开发成本。本文硬件

设计简单,开发周期短,通过摄像头图像采集和处理、SDRAM 读写控制、视频图像处理、LCD 显示屏及数码管将识别到的数字进行显示,实现对数字的采集识别功能,具有传输速度快、采集精度高、实时性、高效性、稳定性等特点。

### 1 总体设计方案

该系统的总体设计方案如图 1 所示,主要包括摄像头图像采集模块、SDRAM 读写控制模块以及视频图像处理模块等。由 Quartus II 软件 IP Catalog 生成的 PLL 时钟 IP 核为 PLL 时钟模块,它为 SDRAM 读写控制模块和 IIC 驱动模块提供驱动时钟;IIC 驱动模块和 IIC 配置模块用于初始化 OV5640 图像传感器;摄像头采集模块负责采集摄像头数字图像数据,并且将数字图像数据写入 SDRAM 读写控制模块;SDRAM 读写控制模块负责将用户数据写入和读出片外 SDRAM 存储器;LCD 模块负责将 SDRAM 模块中的数据转接到视频图像处理模块,给数字图像数据加上横纵坐标;视频图像处理模块将数字图像数据进行颜色空间转换、二值化处理、投影分割以及特征匹配识别操作来达到对数字信息的识别目的。通过数码管驱动模块来使数码管上显示识别出的数字以及 LCD 显示屏上显示处理后的二值数字图像和图像边界。

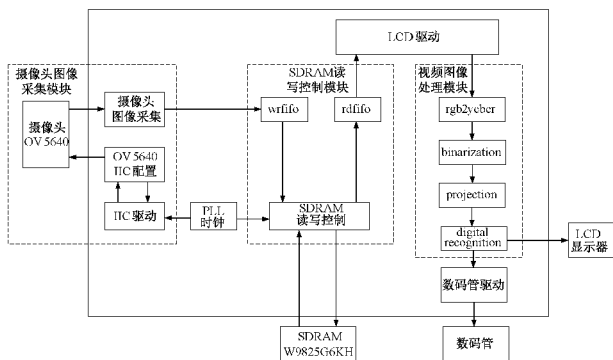


图 1 总体设计方案

本文搭建的数字识别系统使用的是 CMOS 摄像头 OV5640 采集数字图像信息,并通过 FPGA 实现图像预处理、数字信息识别和显示。该系统采用基于投影特征的字符分割和基于统计特征的字符识别原理,在硬件平台上完成了 OV5640 摄像头数据采集、图像预处理、字符分割与识别以及结果显示的功能。在该设计中采用仅存储二值化图像的方法来降低系统对存储资源的需求,通过快速存储来达到实时处理的目的,为了进一步合理利用 FPGA 器件的内部资源,调用了时钟管理单元、乘法器、SDRAM 等。通过对实验结果分析可知,该系统使用了较少的逻辑单元,在摄像头帧速率 90 f/s 的情况下,可以成功识别印刷体数字并将识别到的结果通过数码管以及 LCD 显示屏输出。

### 2 数字特征识别原理

数字特征识别是通过对数字的形状以及结构等几何特

征进行分析与统计,通过对数字特征的匹配从而达到对图像中数字的识别<sup>[6]</sup>,数字的几何特征如图 2 所示。

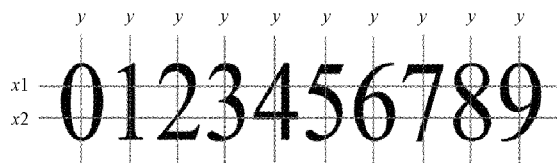


图 2 数字几何特征

$x1$ 、 $x2$  是水平方向的两条直线,与数字长度成特定的比例关系, $y$  是竖直方向的直线,占数字宽度的 1/2,通过这 3 条线与数字的交点个数可以得到数字的特征值<sup>[7]</sup>。下面以数字 0 为例,如图 3 所示,方框是数字的边界, $x1$  取上下边界的 2/5 处, $x2$  取上下边界的 2/3 处, $y$  取左右边界的 1/2 处,可以看到  $x1$  与数字 0 有两个交点,左右(以  $y$  为分界)各 1 个, $x2$  同样与数字 0 有两个交点,左右各 1 个, $y$  与数字 0 有两个交点。以此来统计数字特征进而实现识别的目的,每个数字的特征如表 1 所示。

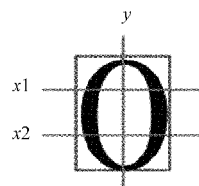


图 3 数字 0 的几何特征

表 1 数字特征表

数字	$y$	$x1$		$x2$	
0	2	1	1	1	1
1	1	1	0	1	0
2	3	0	1	1	0
3	3	0	1	0	1
4	2	1	1	1	0
5	3	1	0	0	1
6	3	1	0	1	1
7	2	0	1	1	0
8	3	1	1	1	1
9	3	1	1	0	1

### 3 摄像头图像采集模块

摄像头采集模块采用 OV5640 图像传感器来进行数字图像的采集,OV5640 是一款 1/4 英寸单芯片图像传感器,其感光阵列达到 2 592×1 944(即 500 W 像素),能实现最快 15 f/s QSXVGA(2 592×1 944)或者 90 f/s VGA(640×480)分辨率的图像采集。感光阵列将光信号转化成模拟信号,经过增益放大器之后进入 10 bit 的 AD 转换器;AD 转换器将模拟信号转化成数字信号,并且通过 ISP 进行相关

图像处理,最终输出所配置格式的 10 bit 视频数据流。

ATK-OV5640 是 ALIENTEK 推出的一款高性能 500 W 像素高清摄像头模块,此模块通过  $2 \times 9$  排针同外部连接<sup>[8]</sup>,将摄像头的排针直接插在开发板上的摄像头接口就可以使用,OV5640 摄像头模块实物如图 4 所示,摄像头扩展接口原理如图 5 所示。

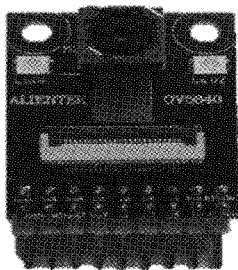


图 4 OV5640 摄像头实物

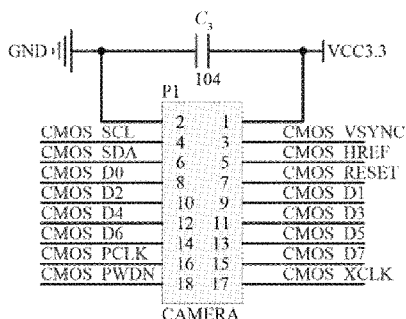


图 5 摄像头扩展接口原理

IIC 驱动模块负责驱动 OV5640 的 SCCB 接口总线, IIC 配置模块的驱动时钟是由 IIC 驱动模块输出的时钟提供的,这样方便了 IIC 驱动模块和 IIC 配置模块之间的数据交互,PLL 时钟模块提供的 65 MHz 时钟作为 IIC 驱动模块的驱动时钟。此外,IIC 配置模块需要配置的寄存器地址、数据以及控制初始化的开始与结束,同时该模块输出 OV5640 的寄存器地址和数据以及控制 IIC 驱动模块开始执行的控制信号,直接连接到 IIC 驱动模块的用户接口,从而完成对 OV5640 传感器的初始化。摄像头图像采集模块在像素时钟的驱动下,将传感器输出的场同步信号、行同步信号以及 8 bit 数据转换成 SDRAM 读写控制模块的写使能信号和 16 bit 写数据信号,从而完成对 OV5640 传感器数字图像的采集<sup>[9]</sup>。

#### 4 SDRAM 读写控制模块

SDRAM 即同步动态随机存储器,同步是指内存工作需要同步时钟,内部命令的发送与数据的传输都以它为基础;动态是指存储阵列需要不断的刷新来保证数据不丢失;随机是指数据不是线性依次存储,而是自由指定地址进行数据读写<sup>[10]</sup>。SDRAM 存储数据是利用了电容的充放电特性以及能够保持电荷的能力。一个大小为 1 bit 的存储

单元的结构如图 6 所示,它主要由行列选通三极管,存储电容,刷新放大器组成。行地址与列地址选通使得存储电容与数据线导通,从而可进行放电(读取)与充电(写入)操作。该系统中 SDRAM 采用的芯片型号为 W9825G6KH,该芯片行地址为 13 bit,列地址为 9 bit,数据总线位宽为 16 bit,容量为 32 MB<sup>[11]</sup>。

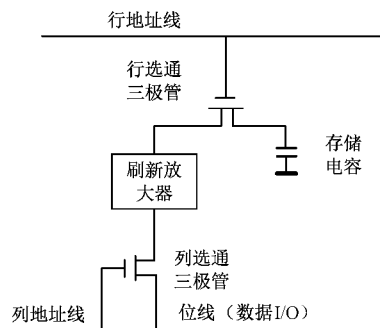


图 6 SDRAM 存储单元结构

该芯片具有空间存储量大、读写速度快、价格相对便宜等优点,因此常用于 FPGA 领域各种内存需求比较大的场合。PLL 时钟模块产生的 100 MHz 时钟和 100 MHz 相位偏移时钟作为 SDRAM 读写控制模块的驱动时钟。当摄像头图像采集模块采集到数据提供的写使能信号到来时,采集到的数据通过 wrfifo 模块传到 SDRAM 控制器驱动片外存储器将数据写到存储器里;当发出读请求时,rdfifo 模块通过 SDRAM 控制器模块将存储器内部数字图像数据读取出来,并发送给 LCD 驱动模块。

#### 5 视频图像处理模块

视频图像处理模块的输入端除了帧数据使能信号、帧行同步信号、帧场同步信号外,还有位置坐标信号和像素信号<sup>[12]</sup>,这些信号由 LCD 驱动模块输入。该模块是封装层模块,是对图像处理子模块的顶层封装,其内部模块如图 7 所示。

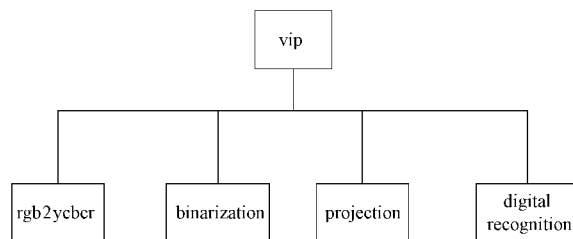


图 7 vip 模块的子模块

其中,rgb2ycbcr 是 RGB 转 YCbCr 模块、binarization 是二值化模块、projection 是投影分割模块、digital recognition 是特征匹配识别模块。

##### 5.1 rgb2ycbcr 模块

rgb2ycbcr 模块也称颜色空间转换模块,该模块实现的功能是从 RGB 到 YCbCr 的转换,依据 OV5640 的官方手

册,转换公式如下:

$$Y = 0.299R + 0.587G + 0.114B \quad (1)$$

$$Cb = -0.172R - 0.339G + 0.511B + 128 \quad (2)$$

$$Cr = 0.511r - 0.428g - 0.083b + 128 \quad (3)$$

之所以进行色彩空间的转换,是因为后面我们需要根据亮度信息进行二值化处理,而 YCbCr 色彩空间的特点是将亮度信息和色度信息分离开,从而适合于图像处理,后面将根据亮度信息 Y 进行二值化处理。

## 5.2 binarization 二值化模块

binarization 是二值化模块,图像二值化的目的是最大限度的将图象中感兴趣的部分保留下来,在很多情况下,也是进行图像分析、特征提取与模式识别之前的必要图像预处理过程<sup>[13]</sup>。

二值化模块将提取出 rgb2ycbcr 模块中的亮度信息 Y,然后将其二值化处理,在 0~255 的灰度值里设置一个阈值 128,灰度值小于 128 的看作是黑色,灰度值大于 128 的看作是白色,这样就可以完成二值化处理过程,处理后的图像能有助于识别出有效信息。

## 5.3 projection 投影分割模块

通过二值化处理对复杂的场景进行简化,简化后需定位需要识别的数字的位置,还要对数字进行分割,这种分割方式称为投影分割<sup>[14]</sup>。经过 Quartus II 验证可知,该方法计算简单,并且对于印刷体数字识别的准确率较高。如图 8 所示,当进行水平投影时,可以想象为用手电筒从左至右“照射”图 8(a)中的数字,黑色区域是没有数字的,因此不会产生投影,而当“照射”到数字上时就会产生如图 8(b)所示的投影,这样就可以定位出数字在竖直方向的位置,也就是找到数字在竖直方向的边界;同理,当进行垂直投影时,可以想象用手电筒从上至下“照射”图 8(d)中的数字,这样就可以得到如图 8(c)所示的投影,从而定位出数字在水平方向的位置。

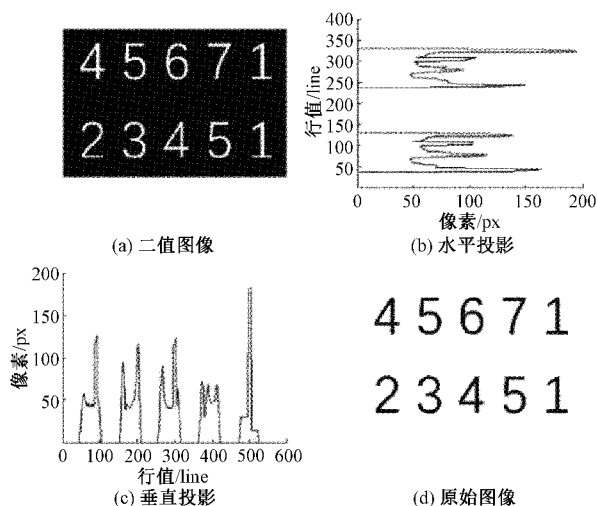


图 8 投影分割原理

从图 8 中可以看出有 2 行 5 列的数字,进行投影处理之后会产生 2 个水平方向的投影边界和 5 个竖直方向的投影边界,进行投影分割的目的是通过水平投影定位出数字的上下边界,通过垂直投影定位出数字的左右边界,得到数字的上下、左右边界后就可以知道图像中每一个数字的位置,进而方便后面的数字识别过程。

## 5.4 digital recognition 特征匹配识别模块

digital recognition 是特征匹配识别模块,根据投影分割模块对分割后的单个数字进行特征匹配识别。数字识别是在图像分割的基础上实现的,数字特征包含  $x_1$ 、 $x_2$  和  $y$  3 条特征线上像素的变化次数,在得出每一个数字的上下左右边界地址以后,通过对这些数字特征值进行匹配,从而完成数字识别<sup>[15]</sup>。

由于获取数字特征的  $x_1$  和  $x_2$  是边界的小数如  $2/5(0.4)$ 、 $2/3(0.6667)$ ,而 Verilog HDL 不直接支持小数的使用,所以需要对这些小数进行处理,FPGA 中对于小数的处理通常有 3 种方法。

方法 1:将小数乘某个数(一般为 2 的指数)得到一个整数,再将乘积除以该整数,一般通过移位实现除的效果,如 0.25,乘以 4 得到 1,乘积右移 2 位(除以 4)即可,文中采用这种方法来处理。

方法 2:将小数进行定点化处理。所谓的定点化就是人为的确定用多少位来表示小数,即把 1 多少等分。如果用 6 个位来表示小数,相当于将 1 分成  $2^6=64$  等份,每份为  $1/64=0.015625$ ,如果想用此表示  $2/5$ ,只需要知道  $2/5$  中有多少个  $1/64(0.015625)$  即可, $2/5$  除以  $1/64$  为 25.6,约等于 26,26 用二进制表示为 011010,所以  $2/5$  即 0.4 的 6 位定点化为 011010<sup>[16]</sup>。

方法 3:使用 IP 核。使用软件提供的处理浮点数的 IP 核或乘除 IP 核。

## 6 实验测试

为了验证本文设计的系统是否满足数字采集识别的要求,将所编写的程序通过 Quartus II 软件的 Programmer 程序和 USB-Blaster 下载器,将下载器一端连接电脑,另一端与开发板上对应端口连接,连接 OV5640 摄像头和 4.3 寸 RGB LCD 显示屏后,然后再连接电源线并打开电源开关,下载到 FPGA 硬件开发板的芯片上。

程序下载完成后,将如图 9 所示的印刷体数字图片放在 OV5640 摄像头前合适的位置以便于捕获数字图像。

978534

图 9 需要识别的数字

如图 10 所示的实验结果中可以看到,当输入为印刷体数字时,系统可以实时准确的识别到摄像头采集到图像上

的数字并在数码管上显示出识别到的数字,同时 RGB LCD 显示屏上显示捕获到的数字,并且框出数字的边界,通过软硬件结合验证了系统对印刷体数字连续采集识别的成功。

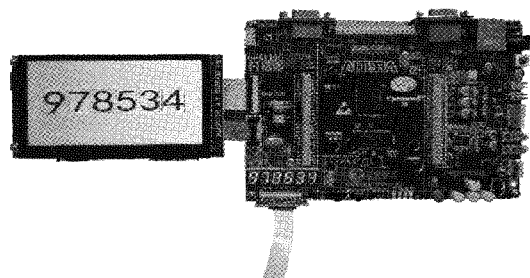


图10 实验结果

## 7 结 论

本文设计了一款基于FPGA的印刷体数字采集识别系统。通过对摄像头数字图像采集、SDRAM读写控制和视频图像处理等模块的设计,实现了对印刷体数字的高效采集、实时传输和稳定显示。实验测试表明,该系统通过SCCB协议对数字图像数据进行传输可以大大提高传输的速度和质量,使用RGB LCD显示屏及数码管对数字图像的识别结果进行显示提高了系统的实时性,为一些要求识别精度高以及速度快的数字识别环境提供了很大的便利。

### 参考文献

- [1] 高振斌,赵盼,王霞,等.印刷体数字识别系统的FPGA实现[J].重庆邮电大学学报(自然科学版),2015,27(2):213-218.
- [2] 王赞.基于BP神经网络的数字识别探究[J].电脑编程技巧与维护,2021(6):127-128.
- [3] 何平,刘紫燕.基于改进多层感知机的手写数字识别[J].通信技术,2018,51(9):2075-2080.
- [4] 边树海,马斌,王长涛,等.基于单片机的数字图像采集系统设计[J].现代建筑电气,2011,2(11):1-4,8.

- [5] 陈爱斌,陆丽娜.基于多特征的印刷体数字识别[J].计算技术与自动化,2011,30(3):105-108.
- [6] 赖媛媛,原虹.基于神经网络的印刷体数字识别算法的研究[J].科技传播,2012,4(18):215,211.
- [7] 王立刚,张志佳,李晋,等.基于卷积神经网络的LED灯类字体数字识别[J].电子测量与仪器学报,2020,34(11):148-154.
- [8] 王育卜,白宝兴.印刷体数字识别研究与实现[J].长春理工大学学报(自然科学版),2016,39(1):101-103.
- [9] 戴静,胡钊政,白建川.一种基于交点特征的印刷体数字识别方法[J].电视技术,2014,38(13):28-30,35.
- [10] 吕文强,施睿,任勇峰,等.基于DDR2 SDRAM的高速数据缓存技术研究[J].电子测量技术,2020,43(18):6-10.
- [11] 隋旭阳,赖文娟,李健.基于FPGA的DDR3 SDRAM高速图像数据采集方法[J].兵器装备工程学报,2018,39(5):108-111.
- [12] 张永昊,宋华军,吴玉兴.基于FPGA+DSP的SDI高清图像处理系统[J].国外电子测量技术,2019,38(9):28-33.
- [13] 潘志成,赵陆海波,张彪,等.多尺度气泡尺寸分布数字图像测量方法研究[J].仪器仪表学报,2019,40(7):129-137.
- [14] 李科,唐波,张玉.基于FPGA的数字图像处理[J].科技资讯,2012(2):32.
- [15] 王育卜,白宝兴.印刷体数字识别研究与实现[J].长春理工大学学报(自然科学版),2016,39(1):101-103.
- [16] 程换新,刘军亮.基于GA-BP神经网络在手写数字识别中的应用研究[J].电子测量技术,2019,42(9):89-92.

### 作者简介

于波,工学博士,教授,主要研究方向为信号处理、振动故障诊断技术研究等。

E-mail: 347153464@qq.com