

基于 2B+D 通信系统时延测算的实现

孔文超 毛 征 张 辉 张庆龙 李 昂

(北京工业大学电子信息与控制工程学院 北京 100124)

摘 要: 针对现代战场电磁环境恶劣、战场形势瞬息万变的特点,设计了一种通信设备,它采用基于 ISDN 的 2B+D 有线通信方式,具有较强的抗干扰能力;同时,该设备能够为每一批次的输入数据添加包号并记录时间信息,以便在数据输出时根据包号调取时间信息,从而计算出数据在其内部的时延,并将计算结果附于数据末尾,因此保证了通信的实时性。此外,使用脉冲测试方法对时延测算精度进行了测试,并给出了测试结果。实验表明,该设备具有很高的时延测算精度。

关键词: 2B+D 通信;时延测算;实时数据

中图分类号: TP391.1 **文献标识码:** A **国家标准学科分类代码:** 520.6040

Implementation of time-delay measuring for a system based on 2B+D

Kong Wenchao Mao Zheng Zhang Hui Zhang Qinglong Li Ang

(Electronic Information and Control Engineering College, Beijing University of Technology, Beijing 100124, China)

Abstract: This paper designed a system based on 2B+D for the characters of severe electromagnetic environment and fast-varied situation of modern battle field. With the advantage of resistance to electromagnetic interference, it can also measure the time-delay. A pack number will be added and time information recorded when a frame of data received by this system. When a frame of data is transmitted by this system, the time information will be call to calculated time-delay result according to the pack number. The result will be adhered to the end of this frame. At last, we designed an experiment to test the performance of time-delay measuring. It proved that high accuracy this system has.

Keywords: 2B+D communication; time-delay measuring; real-time data

1 引 言

随着电子技术的不断发展和飞行器性能的不断提高,现代战场的通信环境越来越恶劣,指挥难度越来越大。这就要求地面防空作战中的通信指挥设备具备很高的可靠性和实时性,以防止来自敌方的电磁干扰和保证各个通信单位能够准确得到通信数据的时延来进行时延补偿。

根据以上防空作战的特点和要求,设计了一种通信设备,它采用 RS422 串行通信和基于 ISDN 的 2B+D 通信这 2 种有线通信方式来实现指挥单位和下级单位间的通信,从而保证了通信的可靠性。

综合业务数字网(Integrated Services Digital Network)提供在一条线路上实现数据和语音传输的功能。2B+D 是其支持的一种速率接口,支持 2 个 B 通

道和 1 个 D 通道的信息传输。B 通道传输数据和语音信息,每个 B 通道的速率为 64 Kbps;D 通道为信令通道,传输速率为 16 Kbps。D 通道和 B 通道时分多路复用一对用户线上的 3 个固定时隙^[1],便于测算数据在线路上的时延。

利用以上介绍的 2B+D 通信便于测算时延的特点,设计一套计时机制,为进入设备的每一批次数据加上端口、批次的信息,以便数据离开设备时根据这些信息计算时延。时延测算结果附于这批数据之后,为接收方提供时延补偿的参考。

2 系统结构

该通信设备具有 2 路 RS422 串口,2 路 2B+D 接口。从各个接口输入的数据由 FPGA 完成格式适配后通过通用并行接口^[2]uPP(universal parallel port)传送给 DSP,数

据在 DSP 内部进行运算处理,再通过 uPP 回传给 FPGA, FPGA 根据 DSP 传送的地址信息将数据发往相应的接口。一帧数据从某个接口进入设备后,可能会从任意接口输出, FPGA 对数据的这一传输过程进行时延测算。通信设备结构如图 1 所示。

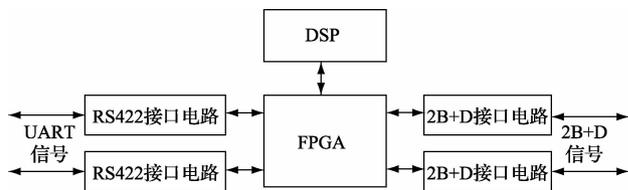


图1 通信设备结构

2.1 核心器件

通信系统的核心部分采用 FPGA+DSP 的结构,利用 DSP 的数字信号处理能力和 FPGA 的并行控制能力实现多路信号的传输和处理功能^[3]。FPGA 采用 Altera Cyclone IV 系列,型号为 EP4CE40,其内部 RAM 容量约 1.1 Mbits,逻辑单元约 4 万个,最大用户 I/O 数 343 个。该器件完成整个电路的逻辑控制,包括:实现 UART 数据接收和发送,并经 RS422 收发器 ADM2587 实现全双工串行通信;实现 ST-BUS 总线协议,完成与 2B+D 接口的全双工数据通信,并缓存各路数据,供 DSP 读取作进一步的处理;完成输入输出数据流的时延测算,并将时延测算结果与数据帧本身所带的上级时延相加,然后发送出去。DSP 采用 TI 公司的定/浮点数字信号处理器 OMA-PL138B,其为 DSP+ARM 结构,内含一个 C674x(VLIW) DSP 和一个 ARM926EJS MPIS,最高运行频率为 456 MHz,峰值处理能力 3648 MIPS,内部二级缓存为 256 KB。DSP 的主要功能包括:响应 FPGA 中断,接收 FPGA 缓冲的 2B+D 和串行通信数据,并将处理完的数据写回到 FPGA 内部存储器。

2.2 RS422 接口电路

选用 AD 公司的 ADM2587 全双工 RS422 收发器。最大速率 500 Kbps,3.3 V 供电、带±15 kV 的 ESD 保护,并且片上集成信号与电源隔(2 500 V_{rms} 隔离电压),无需外加 DC-DC 隔离模块^[4]。

2.3 2B+D 接口电路

2B+D 接口电路采用 Microsemi 公司的 MT9172 芯片,其内部实现了回波抵消、抗扰码、码型变换、帧同步和时钟析取的功能,大大简化了硬件电路的设计,MT9172 通信范围为 4 KM,传输速率为 160 kbit/s 时的环路衰减为 33 dB,其中包括 2 个 64 kbit/s 的 B 通道,和一个 16 kbit/s 的信号 D 通道。FPGA 为 MT9172 的正常工作提供时钟信号,同时完成发送/接收数据的时隙调整^[5]。

2B+D 接口模块的工作过程简述如下:

1)线路接口芯片 MT9172 把被复线上的信号适配成满足 ST-BUS 格式(2.048 Mbit/s)的码流,供 FPGA 按需接收相应时隙上的数据^[6];

2)线路接口芯片 MT9172 同时把 ST-BUS 总线上的数据转换为 2B+D 线路传输格式送到数字用户终端^[7]。

3 计时机制

数据传输以帧为单位,一帧完整的数据的结构如图 2 数据帧结构所示,图中每一个方格代表一个字节,从左到右依次是 1 字节帧头、1 字节预留字节(设备会将这个字节改写为自行生成的一个包号,该字节默认值是 0XFF,)、1 字节用来计算数据总字节数的 N、若干字节的数据、1 字节校验、2 字节上级时延(数据在输入本设备之前所经历的时延反映在这 2 字节上,故称上级时延)。数据离开本设备时将上级时延和在本设备内部的本地时延相加,相加的结果代替这 2 字节输出。

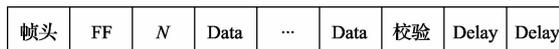


图2 数据帧结构

一帧数据在设备内部的时延测算通过 FPGA 内部的模块来完成。为了简明清晰地叙述计时机制,以从串口进入到从 2B+D 口输出为例(简称“串—2B+D 方向”),介绍计时的过程。

图 3 FPGA 内部模块是 FPGA 内部完成串—2B+D 方向数据传输和时延测算功能的一组模块。

其中,串口接收模块的功能是:

接收一路串口数据并将其转换成并行数据,发给 uPP 发送模块;

将预留字节改写为包号,记录数据进入设备的时刻和上级时延,并将这些数据发送给 TimeCounter 模块。

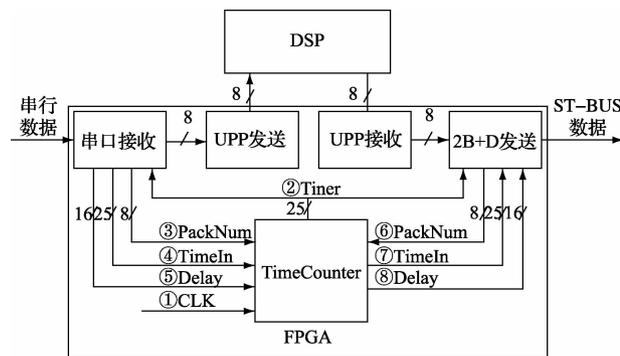


图3 FPGA 内部模块

2B+D 发送模块的功能是:

读取 uPP 接收模块的数据并将其按照 ST-BUS 格式发送给 2B+D 接口芯片;

读取包号,以这个包号为地址,从 TimeCounter 模块中读取对应的数据进入时刻和上级时延,并记录数据离开设备的时刻,根据进入时刻计算出本地时延,与上级时延相加后作为结果输出。

TimerCounter 模块的功能是:

用本地时钟驱动模块内部的计数器计数,并将计数值输出给串口、2B+D 口接收和发送模块;

以串口、2B+D 口接收模块发来的包号作为地址,存储同包号一并发来的数据进入时刻和上级时延;以串口、2B+D 口发送模块发来的包号作为地址,输出地址所对应的数据进入时刻和上级时延。

uPP 发送模块和 uPP 接收模块的功能是:

前者通过通用并行接口(uPP 接口)将数据发送给 DSP 以供其处理;

后者接收 DSP 通过 uPP 接口发来的数据,并按照 DSP 给定的地址发往对应的接口输出。

FPGA 开始工作后时钟①CLK(如图3所示)会驱动 TimeCounter 模块内部的计数器计数,计数值(②Timer)输出给串口接收模块和 2B+D 发送模块。

当一帧数据的首字节从串口输入时,串口接收模块的计数器开始对接收数据的字节数进行计数,同时存储首字节内容。当计至第 2 个字节时,将这个字节的数据的高 3 位改变为该串口接收模块所对应的端口号(比如 0b100),低 5 位改变为这帧数据的序号(序号由串口接收模块产生,以 0 为开始,每接收一帧数据递增 1)。端口号和序号合称这一帧数据的包号。当第 3 个字节进入时,串口接收模块用这个字节并根据帧头计算整帧数据的字节数 L。

当第 L-2 个字节接收完毕时,串口接收模块记下此时由 TimeCounter 输出的时刻,这个时刻称为数据进入时刻 TimeIn;当第 L-1 个字节和第 L 个字节进入时,分别存储这 2 个字节。这 2 个字节表示的就是上级时延 Delay。当产生包号完毕,数据进入时刻、上级时延(后两者统称时间数据)也都记录完毕后,将包号(③Pack-Num)、时间数据(④TimeIn 和 ⑤Delay)发给 TimeCounter 模块存储,以待这帧数据从 2B+D 端口离开时调用。同时将数据字节计数值清零。

当这一帧数据从 2B+D 端口离开时,2B+D 发送模块开始对发送数据的字节数进行计数,同时存储首字节内容。当计至第 2 个字节时,读取包号并存储。当第 3 个字节进入时,串口接收模块用这个字节并根据帧头计算整帧数据的字节数 L。当计至第 L-3 个字节

时,将包号(⑥PackNum)发给 TimeCounter 模块以读取这个包号(相当于地址)所对应的的时间数据(⑦TimeIn 和 ⑧Delay);当第 L-2 个字节刚好要发送时,记下此时由 TimerCounter 通过内部时钟计数来表示的时刻,并加上 1 字节的时延,这个当前时刻与 1 字节时延的和称为数据离开时刻 TimeOut,将 TimeOut 与时间数据进行计算,结果为:

$$\text{Result} = \text{TimeOut} - \text{TimeIn} + \text{Delay} \quad (1)$$

这个结果以 2 字节的数据表示;当计数至第 L-1 和第 L 个字节时将这 2 个字节的数据以 Result 代替并发送出去。

由上所述可知,时间数据是在整帧数据的最后 1 字节的末尾处进入时记录的,计算时延的时候,时间数据是在整帧数据的倒数第 4 个字节发送出去之前调取的,所以在 DSP 编程时应该保证整帧数据的倒数第 4 个字节刚好要发送出去的时刻晚于整帧数据的最后 1 字节的末尾处进入的时刻。即 DSP 在发送数据之前应该至少接收 4 个字节数据。否则读取时间数据、计算时延会出现错误^[8-9]。

其他 3 个方向(串口—串口方向、2B+D—串口方向、2B+D—2B+D 方向)的计时过程与上述的串口—2B+D 方向类似。

4 实验及其结果

实验需要测试 4 种类型的数据时延,分别是:串口—串口方向、串口—2B+D 方向、2B+D—串口方向和 2B+D—2B+D 方向。

实验采用脉冲时延测试方法^[10],为了测定时延测算的精度,在 FPGA 内部编写一组检测模块,每个模块分别检测 1 个串口或 1 个 2B+D 口的数据输入或输出,如果有敏感数据序列 0X55 输入或输出,对应的模块会输出一个正脉冲,设备板卡上已经预留测试脚来引出这些脉冲。测试时,保证每帧输入数据的第 L-3 个字节是 0X55,用示波器探头测量相应的脉冲,便可测得每一帧数据的第 L-3 字节从进入设备到离开设备的时延。对比实际接收到的数据的时延字节,便可计算误差^[11]。

表 1 是试验结果的记录,实验中每种方向测试两种不同帧类型数据,根据这些数据可以计算出时延测算的平均误差为:

$$\Delta = \sum_{i=1}^n \delta_i / n \quad (2)$$

式中: δ_i 是各次试验记录的误差, n 是试验次数。由此可以计算出平均误差为 0.004 5 ms。

表1 时延精度测试实验记录

方向	数据类型	字节数	示波器示数/ms	串口示数(16进制/10进制)	误差/ms
2B+D→2B+D	F1	21	2.750	01 13 / 275	0.000
	F2	23	3.001	01 2C / 300	0.001
UART→UART	F1	21	11.430	04 76 / 1 142	0.010
	F2	23	12.520	04 E4 / 1 252	0.000
UART→2B+D	F1	21	3.938	01 89 / 393	0.008
	F2	23	4.187	01 A2 / 418	0.007
2B+D→UART	F1	21	10.240	04 01 / 1 025	0.010
	F2	23	11.350	04 6F / 1 135	0.000

5 结论

设计了一种实时通信系统,采用 DSP+FPGA 结构,外围接口电路能够接收来自于串行通信接口和 2B+D 通信接口的数据,数据在 FPGA 内进行格式适配后转发至 DSP 处理,处理完毕的数据再经由 FPGA 发往各个接口, FPGA 对上述数据传输过程的时延进行测算,并将结果以 2 个字节的形势附于数据末尾。经过实验测试,时延测算的平均误差为 0.004 5 ms。

参考文献

- [1] 段喜凤,张园园,孙兵. ISDN 终端专用无线远传设备设计及实现[J]. 无线电工程, 2014, 44(12):8-10,32.
- [2] 胡治国,范祝军,何海波. 基于 OMAP-L138 的 UPP 接口的图像数据实时传输的实现[J]. 自动化与仪器仪表, 2013,16(3):149-150.
- [3] 彭宇,姜红兰,杨智明,等. 基于 DSP 和 FPGA 的通用数字信号处理系统设计[J]. 国外电子测量技术, 2013, 32(1):17-21.
- [4] 李白萍,张毅龙. RS485/422 磁隔离技术与应用设计[J]. 陕西理工学院学报:自然科学版, 2014, 30(2):15-18.
- [5] 谈莹青,戴敏力,李雪强,等. 基于 MT9172 的数字工业对讲系统用户线路中继器设计[J]. 电子技术, 2008, 9(10): 26-28.
- [6] 罗海,王莉. ST-BUS 收发功能电路的设计[J]. 数字技术与应用, 2011, 12(8):53-54,57.
- [7] 王莉,罗海. 基于 CPLD 的 ST-BUS 总线收发模块设计与实现[J]. 世界电子元器件, 2007, 8(7):58-61.
- [8] 魏玲,薛定宇,鄂大志. 时延网络控制系统控制方法研究综述[J]. 电子测试, 2008, 15(3):1-9.
- [9] 李雪梅,陶然,王越. 时延估计技术研究[J]. 雷达科学与技术, 2010, 8(4): 362-371.
- [10] 褚改霞,潘卫,王栋,等. 基于 FPGA 的多路数字信号复分接器的设计[J]. 电子技术应用, 2009, 19(5): 43-46.
- [11] 刘明波,余璠,周峰. 基于 FPGA 的时延测试方法研究[J]. 国外电子测量技术, 2011, 30(7): 59-61.

作者简介

孔文超,1988 年出生,在读工学硕士,主要研究方向为光电跟踪技术。

E-mail:kwcdyx_ok@126.com

毛征,1959 年出生,工学博士,教授,主要研究方向为兵器系统仿真与光电跟踪技术。

张辉,1982 年出生,工学博士,讲师,主要研究方向为兵器系统仿真与光电跟踪技术。