

# 基于 FPGA 的千兆以太网 CMOS 图像数据传输系统设计

俞鹏炜 任勇 冯鹏 王洪良 魏彪

(重庆大学光电工程学院 重庆 400044)

**摘要:**针对 100 fps 的帧率、600×400 图像尺寸 16 位灰度 CMOS 图像传感器的大数据量远距离传输关键技术问题。借助于用户数据报协议(UDP)作为通信协议,采用 XC6SLX16 FPGA 对图像传感器采集的数据进行预处理及将图像数据封装成以太网帧,同时配合专用的千兆以太网 PHY 芯片 VSC8601,通过 RGMII 接口进行 FPGA 与 PHY 的连接方式,设计了一种基于 FPGA 的千兆以太网 CMOS 图像传感器数据传输系统。实验测试结果表明,该系统不仅实现了 530 Mbit/s 的高效可靠图像数据的远距离传输,而且该系统安全可靠,能够稳定有效工作。

**关键词:**CMOS 图像传感器;FPGA;千兆以太网;图像数据传输;RGMII

**中图分类号:** TP393.11 TN791 **文献标识码:**A **国家标准学科分类代码:** 510

## Design of Gigabit Ethernet CMOS image data transmission system based on FPGA

Yu Pengwei Ren Yong Feng Peng Wang Hongliang Wei Biao

(Chongqing University College of Optoelectronic Engineering, Chongqing 40044, China)

**Abstract:** According to the key technical problems of 100 fps framerate and 600×400 image size and 16 bits CMOS image sensor's long distance and large data transmission. Using user datagram protocol as a communication protocol, the data that image sensor collected is not only preprocessed, but also packaged into Ethernet frame by XC6SLX16 FPGA. At the same time, using a dedicated gigabit Ethernet PHY chip, the connection interface between FPGA and PHY in RGMII interface, design a gigabit Ethernet transmission system of CMOS image sensor data based on FPGA. The experiment test results show that the system can achieve 530 Mbit/s transfer rate, and the transmission data is reliable, the system not only is safe and reliable, but also can work efficiently.

**Keywords:** CMOS image sensor; FPGA; Gigabit Ethernet; image data transmission; RGMII

### 1 引言

电子、通信和网络等技术的不断进步,数据传输系统正向小型化、网络化和集成化的方向发展。千兆以太网是一种新型的以太网,具有高速、高效、高性能的特点,已经发展成当前主流的网络技术,它不仅能够提供 1 Gbps 的传输带宽,降低了系统整体的成本,而且能够提高系统的扩展性,实现即插即用的功能<sup>[1]</sup>。千兆以太网数据传输系统的设计,主要有 1)采用千兆以太网硬核或者软核,配合专用的 PHY(physical layer,物理层)芯片实现数据的千兆以太网传输;2)采用专用的网络集成芯片,芯片内部集成

MAC(media access control)和 PHY 的功能,以实现千兆以太网数据传输系统<sup>[2]</sup>。前者,可配置程度低,且价格昂贵,难以对传输系统内部细节作调整;后者,虽设计方法简单,但传输协议支持有限,且传输速度受制于芯片的特性。

为此,本文针对 CMOS 高速图像传输系统中大数据量的稳定、可靠、远距离传输的要求,将 FPGA 与千兆以太网 PHY 芯片相结合,设计了一种基于 FPGA 的千兆以太网 CMOS 图像传感器数据传输系统,不仅可以实现数据的千兆以太网高速、高效、可靠、远距离传输,而且 FPGA 的并行执行对于高速数据传输有良好的适应性。

## 2 原理与结构

设计系统的图像大小为  $600 \times 400$  的 16 位灰度 CMOS 图像传感器, 帧率为 100 fps(每秒传输帧数), 数据传输带宽为 384 Mbit/s。为了实现数据传输功能, 需要设计数据链路层及物理层<sup>[3]</sup>。物理层的实现, 采用了 PHY 芯片 VSC8601; 数据链路层, 是将数据包封装成以太网数据帧<sup>[4]</sup>。系统设计整体结构, 如图 1 所示。可见, 其基本原理是: 首先, 系统在接收到数据后经 PHY 芯片, 通过 RGMII 接口传输至 FPGA, FPGA 对数据进行分用, 提取以太网数据帧中的有效数据, 缓存在 RAM 中; 其次, 取 RAM 中的数据, 并对数据进行封装, 添加 UDP(user data protocol, 用户数据报协议)信息, 封装成 UDP 数据包并添加以太网帧信息, 同时将封装成以太网数据发送至物理芯片; 最后, 数据由 RJ45 连接器通过 CAT-6 类连接线传输至 PC 机。

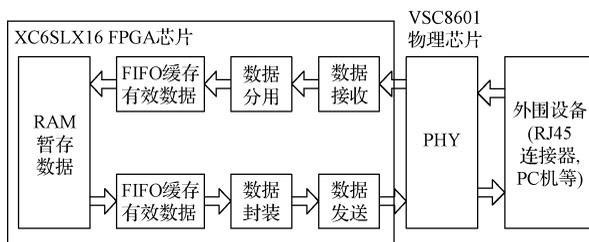


图 1 系统原理整体结构示意图

## 3 硬件设计

硬件设计主要包括 FPGA 及其配置模块、电源模块、时钟模块和千兆以太网模块等, 具体结构如图 2 所示。较之于普通的千兆以太网数据传输系统, FPGA 的 MAC 更换方便, 灵活性好, 且 FPGA 与 PHY 之间的连接方式采用的是 RGMII 接口, 相对于 GMII 等接口, 可使用更少的引脚实现千兆以太网的数据传输, 节约了系统电路资源及 FPGA 的引脚资源, 系统具有体积小、集成度高、灵活性好等优点。

硬件设计中, 物理层(PHY 层)是 OSI(open system interconnection, 开放系统互连)中的最底层, 它是整个开放系统的基础, 其直接面向传输的数据, 可为数据端设备提供传输数据的通路, 同时, 还需要对原始数据作一定的处理, 并通过传输接口向数据链路层发送或者接收数据<sup>[5]</sup>。PHY 芯片选用了 VITESSE 公司的 VSC8601 芯片, 该芯片的特点是: 支持 10/100/1 000 M PHY 的精简吉比特介质无关接口(RGMII)芯片, 支持 3.3 V 供电电压, 符合 IEEE 802.3(10BASE-T, 100BASE-TX, 1000BASE-T)规范, 支持 RGMII 版本 1.3 和 2.0 规范, 防电磁干扰, 最大支持 16 kB 的巨帧, 低功耗等。因此, 无论在操作的简便性还是在整体成本上, VSC8601 芯片都达到了较好的性能。

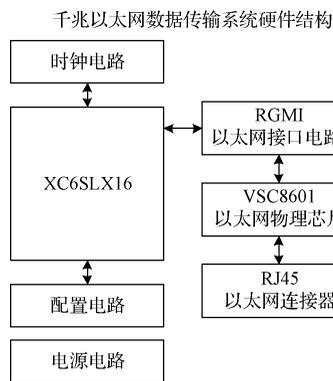


图 2 设计系统的硬件结构原理

FPGA 与 PHY 芯片之间的连接方式, 采用的是 RGMII 接口<sup>[6]</sup>。设计中, FPGA 通过 MDC/MDIO 对 PHY 芯片进行配置及控制, 同时接收从 PHY 上传来的状态信息, 使用 RJ45 连接器实现网络电缆与 PHY 芯片之间的数据传递, 如图 3 所示。管脚功能是: 1) GTX\_CLK, 此为在千兆速率模式下, 由 MAC 向 PHY 提供时钟信号, 时钟频率为 125 MHz, 需要通过 PLL 倍频实现, 若在 10/100 M 传输速率模式下, 该时钟由 PHY 向 MAC 提供, 时钟频率分别为 2.5 MHz 和 25 MHz; 2) TX\_CTL, 发送控制, 此信号在 GTX\_CLK 时钟的上升沿发送的是发送使能信号, 在 GTX\_CLK 下降沿发送的是发送使能和发送出错的异或值; 3) TXD[3:0], 发送数据位, 在 RGMII 模式下, 对数据采样使用的是双边采样方式, 即时钟的上升沿发送 TXD[3:0] 和时钟的下降沿发送 TXD[7:4]; 4) RX\_CLK, 在千兆速率模式下, 由 PHY 向 MAC 提供的时钟信号, 时钟频率同为 125 MHz, 需要通过 PLL 倍频实现; 5) RX\_CTL, 接收控制, 此信号在 RX\_CLK 时钟的上升沿发送的是接收使能信号, 在 RX\_CLK 下降沿发送的是接收使能和接收出错的异或值; 6) COL, 冲突检测信号, 该位只在半双工模式下使用; 7) CRS, 载波监听, 该位只在半双工模式下使用; 8) RXD[3:0], 接收数据位, 在 RGMII 模式下, 对数据采用使用的是双边采样方式, 时钟的上升沿接收 RDX[3:0], 时钟的下降沿接收 RXD[7:4]; 9) MDC, 配置接口的时钟, 由 MAC 向 PHY 提供, 这是一个非周期信号; 10) MDIO, 配置接口, 用于配置 PHY 芯片以及获取

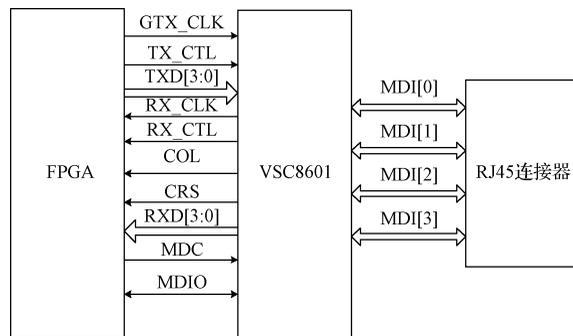


图 3 系统接口原理

PHY 芯片的状态信息;以及 MDI[3:0],此为 PHY 芯片和 RJ45 连接器的连接接口,用于数据的收发。

#### 4 软件设计

FPGA 内时序逻辑可分为接收时序逻辑和发送时序逻辑,因此软件设计主要包含接收时序逻辑和发送时序逻辑的设计。接收时序逻辑设计的主要内容是对从 RGMII 接口接收到的数据进行整合,然后对接收到

的数据帧进行 CRC 校验,数据帧有效后对数据帧进行数据分用,将数据帧的包头及 UDP 等信息剔除,获取实际的数据,并将数据缓存至 RAM 中;发送时序逻辑设计的主要内容是从 RAM 中读取数据,并对数据进行封装,添加 UDP 信息、以太网帧信息以及 CRC 校验信息,使之成为标准的以太网帧数据,再将数据转换成 RGMII 接口数据发送至 PHY 端。其工作流程,如图 4 所示。

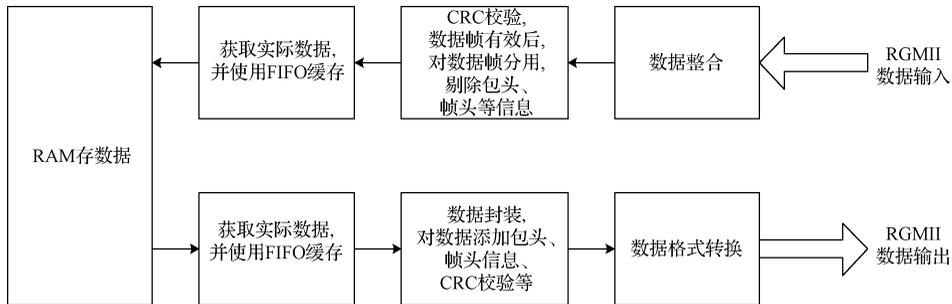


图 4 软件工作流程

#### 4.1 以太网数据帧格式

以太网数据帧结构是整个软件设计的基础,所有模块的设计都是基于以太网帧的帧格式<sup>[7]</sup>。其基本格式,如图 5 所示。以太网帧各部分功能说明,如表 1 所示。表 1 中各个字段的的功能是:1)前导码,由 7 个字节的 0x55 组成,0x55 转换成二进制数为 01010101,为一串 0、1 间隔,其作用是用于信号同步;2)帧界定符,由 1 个字节的 0xD5 组成,其作用是表示一帧的开始;3)目的地址,是以太网数据传输的终点地址,其长度为 6 个字节,目的地址可以是单播地址,也可以是组播或广播,若其所有位为“1”,则表示广播;4)源地址,表示以太网数据发送的起点地址,其长度为 6 个字节,地址数据由网卡决定,是固定的;5)帧长

度/帧类型,占 2 个字节,0~1 500 为长度域值,1 536~65 535 为类型域值;6)数据和填充,数据和填充为需要传送的数据报,其长度可变,范围在 46~1 500 字节之间,如果数据长度小于最小帧长度的要求,则需要对数据进行填充,在数据末尾添加 0 至其达到最小帧长度要求;7)帧校验序列(FCS),采用循环冗余校验(CRC)对数据帧进行校验,CRC 校验的基本原理是根据除法及余数的原理对数据进行校验的,帧校验序列占 4 个字节。

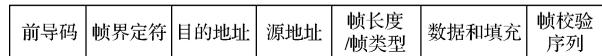


图 5 以太网帧格式示意

表 1 标准以太网帧说明一览表

序号	数据位名称	数据位符号	长度/字节	数据
1	前导码	SSD(preamble)	7	0x55
2	帧界定符	SFD(start frame delimiter)	1	0xD5
3	目的地址	DA(destination address)	6	
4	源地址	SA(source address)	6	
5	帧长度/帧类型	FL(frame length/type)	2	
6	数据和填充	DATA	46~1 500	
7	帧校验序列(FCS)	FCS(frame check sequence)	4	

在数据和填充段,包括 20 字节的 IP 包头、UDP 包头及实际数据。IP 包头格式,如图 6 所示。UDP 包头包括 16 bit 的源端口、16 bit 的目标端口、16 bit 的 UDP 长度和 16 bit 的 UDP 校验和<sup>[8]</sup>。IP 数据包头字段功能是:1)协议版本,占半个字节,确定使用 IPv4 或是 IPv6 版本,本文使用的是 IPv4 协议版本;2)首部长度,占半个字节,首部长度最小数值为 5 个单位,最大数值为 15 个单位,每个单

位表示 4 个字节的大小;3)服务类型,占一个字节,其 0~2 位表示优先级,3~5 位分别表示延时、吞吐量、可靠性,6 位表示最小费用路由,7 位保留;4)总长度,占两个字节,其值表示整个 IP 数据报的数据长度,以字节为单位,因此 IP 数据报最大长度为 65 535 个字节,当数据量超出 65 535 个字节时,需要对数据进行分片发送;5)标识,占两个字节,当分片传输时,需要通过标识字段来确定数据片

是否需要整合重装,用于区分不同的分组数据;6)标志字段,占3位,第一位表示是否允许数据分片,第二位表示当前是否为最后一段报文;7)生存时间,占一个字节,用于设置数据报的生存时间;8)协议,占一个字节,其用于表示使用何种协议作传输的,协议字段说明,如表2所示;9)首部校验和,占两个字节,根据IP首部进行计算所获得的校验和码,对数据进行校验,若数据出错,则丢弃该包数据,并对数据进行重传操作;10)源IP地址和目的IP地址,占8个字节,源IP地址和目的IP地址各32位,分别表示主机的IP地址以及目标机的IP地址。最后,任选项,可以加入的任选项,其长度为32位的整数倍,若不是其整数倍则添加0以达到其整数倍。



图6 IP包头格式示意

表2 协议字段说明一览表

协议值	协议
0x01	ICMP
0x06	TCP
0x11	UDP

### 4.2 以太网接收模块

根据以太网数据帧结构以及UDP协议,以太网接收模块则是对接收到的数据帧根据协议进行分用,剔除UDP信息、IP信息、CRC校验信息和MAC信息等,以获取实际的数据<sup>[9]</sup>。其工作状态转换原理,如图7所示。可见,其状态转移流程为:开始时处于空闲状态,当接收到第一个0x55后进入接收前导码状态,总共需接收7个0x55前导码,前导码接受正确后进入接收帧界定符状态,在该状态下需接收一个0xd5的帧界定符,接着进入MAC接收,MAC接收需要接收源MAC和目标MAC,共12个字节,再依次接收IP类型、20字节的IP包头和UDP包头,随之对各包头进行检验,再接收实际数据,最后CRC校验,接收正确之后进入空闲状态,等待下一帧数据。

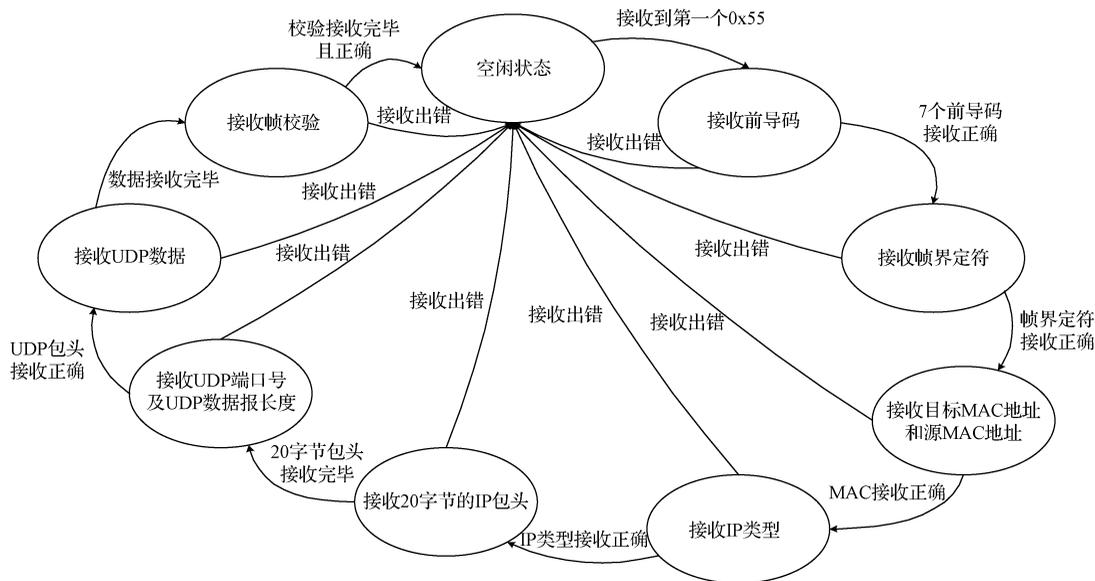


图7 FPGA接收模块状态转换原理

### 4.3 以太网发送模块

以太网发送模块需要对数据进行封装,包括UDP包头、IP包头和以太网帧格式及CRC校验,如图8所示。可见,发送模块输入端口包括:1)clk,UDP发送模块时钟;2)clr,UDP数据清除;3)CRC[31:0],循环冗余校验数据输入;4)datain[31:0],需要发送的数据,从前端读入;5)tx\_data\_length[15:0],需要发送的数据长度;6)tx\_total\_length[15:0],需要发送的数据及报头总长度。发送模块

输出端口包括:1)txen,发送数据使能;2)txer,发送数据出错;3)crcen,循环冗余校验使能;4)crere,循环冗余校验出错;5)crc\_valid,循环冗余校验通过;6)dataout[7:0],发送数据输出;7)tx\_state[3:0],发送状态,仿真时用于观察当前仿真状态;8)datain\_reg[31:0],输入数据观察口,仿真时用于观察输入数据;9)ram\_rd\_addr[8:0],输出RAM的地址。

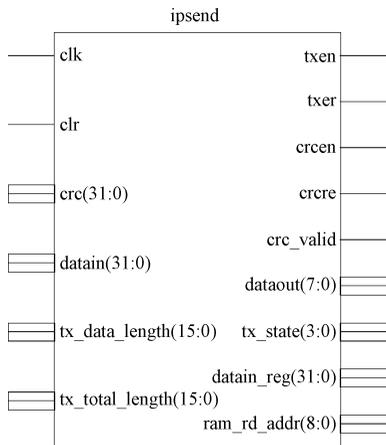


图8 以太网发送模块示意

## 5 实验测试结果与分析

### 5.1 实时数据传输测试

如图9所示为使用Chipscope逻辑分析仪获得的实时数据传输结果, FPGA接收到PC端发来的数据,使用逻辑分析仪进行数据采集显示,该以太网帧中目的MAC地址为(FF:FF:FF:FF:FF:FF),表示数据广播,源MAC地址为(AC:22:0B:8A:9A:C7),为上位机MAC。通过对逻辑分析仪获得的数据进行分析,各个包头信息接收正确,且数据与发送的相同。

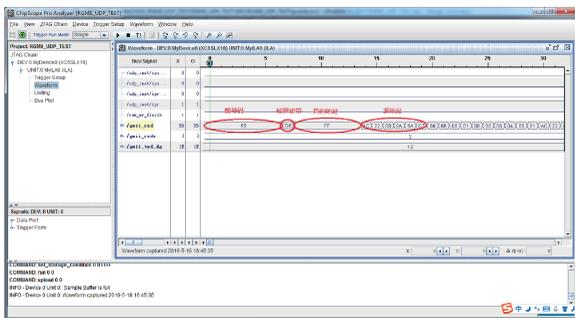


图9 逻辑分析仪获取实时数据传输结果示意

### 5.2 指令回传测试

使用XCAP抓包工具向系统发送指令,进行回传测试,测试发送指令为ChongQingUniversity,如图10所示。同时,PC端使用XCAP对以太网数据进行抓包,抓包结果如图11所示。可见,接收到的数据除去包头等信息,获取实际数据后与发送的数据相同,收发数据一致,实现了以太网数据的正确传输。

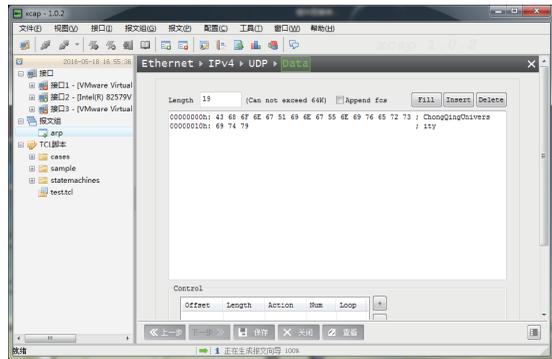


图10 使用XCAP发送指令结果

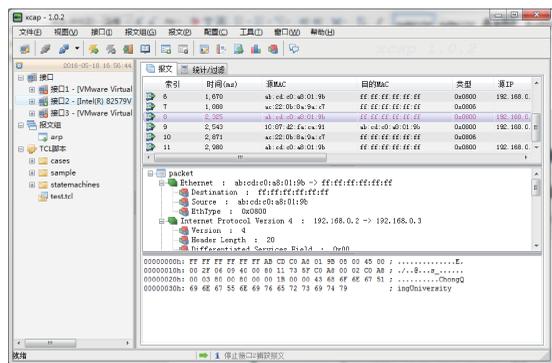


图11 使用XCAP抓取数据包结果

### 5.3 千兆以太网速度测试

传输速度是千兆以太网的一个十分重要的指标,针对不同数据长度进行以太网传输测试,测试其传输速度,同时统计其数据丢包率<sup>[10]</sup>,如表3所示。可见,传输建立后,

表3 千兆以太网传输速度测试结果一览表

数据长度/Byte	发送发起次数	接收发起次数	有效次数	实际吞吐量(Mb/s)	带宽利用率(%)	丢包率(%)
50	41 231	41 231	41 231	184	18.4	0
100	38 412	38 412	38 412	247	24.7	0
200	35 243	35 243	35 243	313	31.3	0
400	31 432	31 432	31 432	368	36.8	0
600	28 567	28 567	28 567	415	41.5	0
800	26 798	26 798	26 798	457	45.7	0
1 000	24 589	24 589	24 589	488	48.8	0
1 200	21 687	21 687	21 687	516	51.6	0
1 400	19 786	19 785	19 785	533	53.3	0.005 1

数据长度为 1 400 Bytes 时,数据传输平均速率可达 533 Mb/s,千兆以太网的实际带宽为 1 000 Mb/s,其带宽利用率达 53.3%,丢包率为万分之 0.51,而当数据长度为 50 Bytes 时,其带宽利用率仅为 18.4%,丢包率为 0。由此可见,在不超过以太网数据包最大值的情况下,图像传输过程中产生的数据包大,则其带宽利用率相对较高。当然,数据包越大,若在传输过程中数据受到影响,则其对实际数据的影响也越大。在实际工业环境中,由于电磁、射线等影响,丢包率可能会有一定的上升。本实验中,采用的传输线较短,设备环境较好,得到的测试结果较好。

## 6 结 论

本文基于 FPGA 的千兆以太网 CMOS 图像数据远程传输系统设计,它以 FPGA 为核心处理器,采用 VSC8601 作为物理层芯片,硬件结构简单、体积小、功能强大、便于嵌入到嵌入式系统中。特别是,MAC 可自行调整,增加了系统整体灵活性,成本相对较低,数据传输接口简单方便,便于拓展。实验测试结果表明,该系统数据传输速度达 530 Mb/s,且数据传输稳定可靠,可移植性和可维护性好,这对解决大数据量的图像数据高速、远距离、高效、安全可靠传输具有实际参考价值。

### 参 考 文 献

- [1] 沈淦松. 基于 FPGA 的千兆以太网相机的传输系统研究[D]. 成都:电子科技大学,2013.
- [2] 孙伟,王建平,穆道明,等. 基于服务质量的无线传感器网络 MAC 协议模型研究[J]. 电子测量与仪器学报,2013,27(4):372-380.

- [3] 孟珞珈. 基于 FPGA 的千兆以太网通信协议栈实现技术研究[D]. 成都:电子科技大学,2014.
- [4] 李航. 基于 FPGA 和千兆以太网(Gige)的图像处理系统设计[D]. 南京:南京理工大学,2014.
- [5] LEE K C, LEE S, MAN H L. Worst case communication delay of real-time industrial switched Ethernet with multiple levels [J]. IEEE Transactions on Industrial Electronics, 2006, 53(5):1669-1676.
- [6] 张雪坤. 基于 FPGA 的以太网 MAC 数据处理[D]. 成都:成都电子科技大学,2014.
- [7] HAWICK K A, JAMES H A. Asynchronous transfer mode and other network technologies with DHCP [J]. The Journal of Supercomputing, 2014,18(3):84-88.
- [8] CUI Y, SUN Q, XU K, et al. Configuring IPv4 over IPv6 Networks: Transitioning with DHCP [J]. IEEE Internet Computing, 2014, 18(3):84-88.
- [9] CHEA V, MARTIN M V, LISCANO R. Evaluating Hamming Distance as a CRC-based Side-channel Detection Measure in Wi-Fi Networks [J]. Procedia Computer Science, 2016(83):425-432.
- [10] 徐祥,蒋哲,王威廉. 基于 FPGA 的告诉数据采集、缓存与处理系统[J]. 电子测量技术,2013,36(4),68-71.

### 作 者 简 介

俞鹏炜,男,1994年8月出生,工学硕士,学生,主要研究方向为光电检测与成像。  
E-mail:993529185@qq.com