

一种高精度的 FPGA 电路面积时序预测方法*

王佳伟^{1,2} 黄志洪¹ 高同强¹ 杨海钢^{1,2}

(1. 中国科学院电子学研究所 可编程芯片与系统研究室 北京 100190; 2. 中国科学院大学 北京 100049)

摘要:在 FPGA 上设计应用电路时,逻辑综合过程和物理综合过程需要反复进行多次,来满足面积时序约束。为了加速整个 FPGA CAD 流程,提出了一种在物理综合之前,使用前馈神经网络预测面积时序的方法。和 FPGA 布局布线工具 VTR 7.0 的实验结果相比,该神经网络预测面积平均相对误差(MRE)达到 4.9%,预测时序平均相对误差(MRE)达到 6.4%,和现有文献相比,具有预测时间早,预测精度高的特点。该预测模型将帮助用户缩短设计周期,在逻辑综合阶段更加全面探索设计空间,提高设计质量。

关键词:FPGA CAD; 面积; 时序; 预测; 前馈神经网络

中图分类号: TN402 **文献标识码:** A **国家标准学科分类代码:** 510.10

A high accuracy area and delay estimator for FPGA implementations

Wang Jiawei^{1,2} Huang Zhihong¹ Gao Tongqiang¹ Yang Haigang^{1,2}

(1. System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: The logic synthesis stage and physical synthesis stage will be repeated several times, when mapping the logic circuits to FPGA, to meet the area and timing constraints. In order to accelerate the traditional FPGA CAD flow, this paper presents a feed-forward neural network to predict the area and delay before the physical synthesis stage. Compared to the placement and routing results from VTR 7.0, the mean relative error(MRE) of the predicted area is 4.9%, and the mean relative error(MRE) of the predicted delay is 6.4%. This method works at early stage, but acquires a high accuracy compared to the related work. The estimator will help the designer reduce the design cycle and be capable of fully exploring the design space during the logic synthesis stage, thus improving the whole design quality.

Keywords: FPGA CAD; area; delay; estimation; feed-forward neural network

1 引言

FPGA 因其具有灵活可配置、开发风险小、产品上市时间短的优点而被广泛应用在通信、工业控制、图像处理、仪器仪表等众多领域^[1-3]。传统的 FPGA CAD 流程包括逻辑综合(综合、映射)和物理综合(装箱、布局、布线)两个部分^[4],最终把用户的硬件代码映射到 FPGA 上。为了满足面积时序约束,逻辑综合和物理综合两个过程通常需要反复进行多次。随着工艺节点不断加深、电路规模的不断扩大以及逻辑功能的不断复杂,电路的设计空间在不断扩大^[5],传统的 FPGA CAD 工具在设计时间、设计质量、设计可靠性等诸多方面面临严峻的挑战。

在整个设计流程中,物理综合过程占了高达 77% 的时间^[6],因此一种加速整个设计流程的方法是在电路完成映射后,甚至更早的时间,对面积时序进行预测,如果预测值满足最终约束,那么进行后续的物理综合过程;否则,返回逻辑综合阶段修改设计。高精度预测器的引入将带来两点好处^[7]。第一,设计者可提前对电路进行重构,节省下大量消耗在布局布线上的时间,缩短设计周期。第二,设计者有充足的时间在综合、映射阶段对设计空间进行多次探索,获取优值,给物理综合留出充足的设计裕量,从而更轻松的满足整个设计指标。

预测电路的面积、时序此前已经有大量的工作,预测方法和预测精度各不相同。文献^[6]给出了一种在电路完

收稿日期:2017-03

* 基金项目:国家自然科学基金(61404140)项目资助

成映射后,使用蒙特卡洛分析法预测电路关键路径延时的方法,精度达到7%,该方法需要在预测精度和预测耗时上进行折中。文献[7]给出了一种基于统计平均的预测方法,对电路中所有的连接关系,根据起点、终点的类型分成4类。统计各类连接的延时平均值,以此作为该类连接的基准值,用以计算各条路径延时。该方法预测精度未说明,不过提升了7%~8%工作频率,同时减少60%的设计时间。文献[8]在电路完成映射后,通过模拟装箱过程,预测消耗的CLB(configurable logic block)数量,预测精度达到6.2%;在电路完成布局后,使用经验公式(point-to-point delay),计算电路各条路径延时,取最大值作为关键路径延时,精度达到6.1%。文献[9]从理论上推导了电路面积与VHDL代码中运算符、状态机的关系;IP核逻辑延时(logic delay)与输入端口数目、输入数据位宽的关系;电路连线延时(net delay)与Rent Parameter的关系。然后依据电路的面积、延时实验值,对公式进行参数修正,面积预测MRE值小于16%、时序预测MRE值小于13%。文献[10]使用MATLAB的曲线拟合工具拟合了IP核的面积与输入宽口数量、位宽之间的关系,精度达到6.8%。VTR^[4]在电路布局时,根据线网边界框大小和逻辑块的相对位置对电路最大延时进行预测,平均相对误差为8.9%。

显然,布局后逻辑块的数量、位置和连接关系都已确定,同时布线算法会对关键路径使用延时小的路径进行布线,所以布局后预测电路时序是比较容易的。本文在电路布局之前,根据电路特征参数对面积时序的影响,构建了一个3层前馈神经网络预测面积时序。实验结果表明,该方法具有预测时间早、精度高的优点。本文分析了电路特性参数对面积时序的影响;引入了前馈神经网络来建立面积时序预测模型;使用GLA^[11]算法对该神经网络进行训练,让神经网络学习电路特性参数与面积时序之间的关系,并用测试集来测试该模型的预测精度。

2 电路特性参数

数字电路经过综合、映射后,将得到由查找表和触发器构成的网表。描述该网表的特性参数包括输入端口数量 n_{in} 、查找表的数量 n_{lut} 、触发器的数量 n_{dff} 、有向边的数量 e 、深度 d 、线网最大扇出 f 。

规模大、关键路径延时大的电路可能有很少的输入输出端口,反之亦然,因此输入输出端口数量和电路面积、时序没有必然关系。

查找表和触发器在装箱过程中会被打包到各个CLB中,因此 n_{lut} 和 n_{dff} 越大,电路面积越大。

电路中有向边的数量 e 越大,则规模越大,最终面积越大,同时 e 越大,电路布线总线长越长,连线延时越大。需要指出 e 和 n_{lut} 、 n_{dff} 不互相独立,存在关系 $e = n_{lut} +$

$fanin \times n_{lut}$,其中 $fanin$ 是查找表的输入端口数量。

深度 d 表示电路中的时序元件(输入输出端口,触发器,RAM)之间的最大查找表数量。 d 越大,意味着该路径的逻辑延时越大,也表明该路径越长,连线延时越大。

最后,线网最大扇出 f 决定了一个线网的跨度,更大的跨度对应了更大的面积和更长的线长。

综上所述,查找表的数量 n_{lut} 、触发器的数量 n_{dff} 、有向边的数量 e 、深度 d 、线网最大扇出 f 都会影响到电路的面积时序。图1和2分别给出了VTR 7.0中的MCNC基准电路的面积(CLB个数)、关键路径延时(ns)与电路特性参数之间的变化关系。

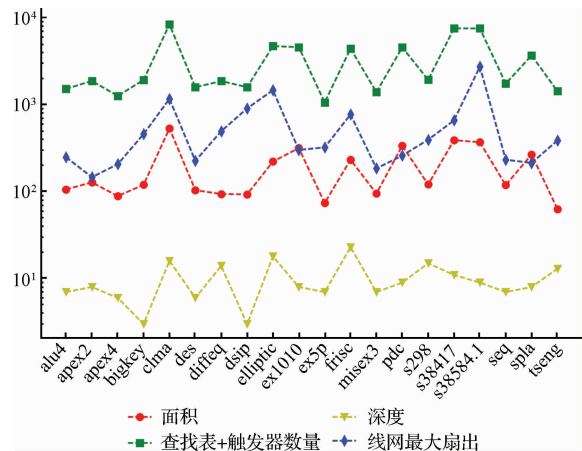


图1 MCNC电路集中面积和电路特性参数之间变化关系

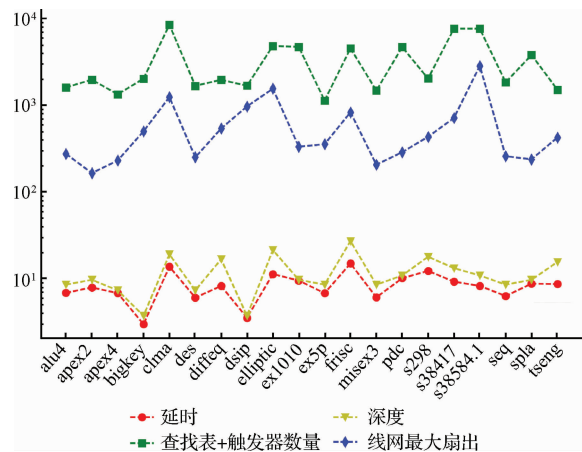


图2 MCNC电路集中延时和电路特性参数之间变化关系

表1给出了VTR 7.0中的所有基准电路的特性参数和面积延时之间的相关系数。从表1可以看出,和面积最相关的特征是 n_{lut} 、 n_{dff} 、 e 、 f ,因为 e 和 n_{lut} 、 n_{dff} 不相互独立,为了保持模型简洁,使用 n_{lut} 、 n_{dff} 和 f 3个特性作为预测面积的输入特征。同理,与延时相关系数最高的3个变量是 e 、 d 、 f ,这3个变量被选作预测时序的输入特征。

表1 电路特性参数与面积/延时之间的相关系数

	输入输出数量	查找表数量	触发器数量	线网数量	深度	线网最大扇出
面积	0.186	0.996	0.932	0.993	0.758	0.881
延时	0.182	0.711	0.608	0.755	0.980	0.737

3 前馈神经网络

人工神经网络是一种机器学习方法,在自动控制、模式识别、预测估计等领域取得了广泛地应用^[12],是目前人工智能领域的研究热点。神经网络中根据神经元之间的连接方式可以分为前馈神经网络、反馈神经网络和自组织神经网络。图3所示为本文采用的3层前馈神经网络结构。输入层有3个神经元,中间层有 m 个隐藏神经元,输出层包含一个预测神经元。每个输入层神经元对应着一个特性参数。中间神经元输入 x_i 是各特性参数的加权值, $x_i = \alpha_{i0} + \alpha_{i1}p_1 + \alpha_{i2}p_2 + \alpha_{i3}p_3$, x_i 会被传入激活函数,本文选择的是双极s函数 $f = \frac{2}{1+e^{-x}} - 1$,输出 $f(x_i)$ 。最后,输出神经元对各个中间神经元输出值 y_i 进行加权 $W' = \beta_0 + \sum_{i=1}^m \beta_i y_i$, W' 就是面积或者延时的预测值。理论上^[11,13]已经证明了,该前馈神经网络能以任意精度模拟一个三输入的非线性函数,关键是权值 $\omega = (\alpha, \beta)$ 的确定。神经网络权值确定方法有GLA算法^[11]和ELM^[13]算法。GLA算法是一种基于梯度下降的迭代算法,一般可以分为4步:第1步初始化中间神经元的个数 m 为用户指定值,各权值初始化为一个很小的随机数,迭代次数初始化为0。第2步使用权值 ω 计算预测值 W' 同时计算误差 E , E 为实际值与预测值差值的范数,如式(1)所示。

$$E = \|W - W'\|_p \quad (1)$$

如果 E 小于误差上限 ϵ 或者迭代次数达到最大迭代次数,程序退出,否则进入第3步,计算偏导数 $\frac{\partial E}{\partial \omega}$ 。第4步使用反向传播函数确定 $\Delta\omega = -\lambda \frac{\partial E}{\partial \omega}$ 并更新权值 $\omega = \omega + (-\lambda \frac{\partial E}{\partial \omega})$,其中 λ 是学习率,然后程序回到第2步。整个训练过程中 ω 不断被更新,直到误差 E 小于上限 ϵ 。

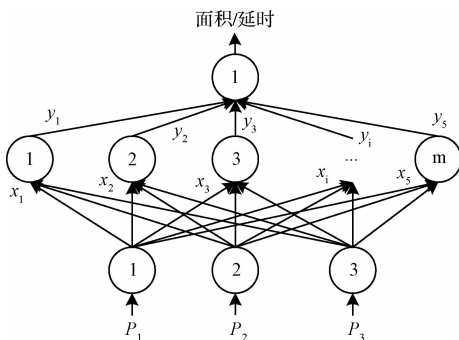


图3 3层前馈神经网络

4 实验过程与结果

实验中使用的计算机配置为CPU型号Intel(R)Core(TM)i5-6200U,主频2.30 GHz,内存8 GB。FPGA架构为VTR 7.0的旗舰架构,商用40 nm Altera Stratix IV异构FPGA架构,内部集成了可配置的32 KB块存储器,32×32输入乘法器,查找表结构为可拆分6输入查找表,可工作在6输入查找表和两个共享输入端的5输入查找表两种状态下。把VTR 7.0全部236个基准电路分为两部分,其中224个作为训练集合(train set),用于进行参数训练;另外12个作为测试集合(test set)用于计算预测精度。参数训练过程如图4所示,使用VTR7.0工具集中的ODIN_II对电路进行综合,ABC对电路进行映射,得到blif网表文件^[14]。对blif网表文件使用Tvpack进行装箱,VPR进行布局布线,得到面积延时,同时利用ABC对blif网表进行分析,提取出电路的特性参数。最后,把特性参数和面积延时输入到GLA算法中,进行模型训练,得到权重矩阵。

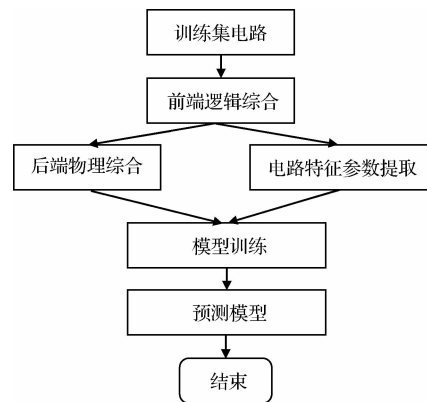


图4 训练过程

测试过程中如图5所示,同样先得到电路的blif网表,对其进行特征参数提取,把特征参数输入到训练好的神经网络中,计算面积延时,并把预测值和Tvpack/VPR的物理综合结果进行比较,计算预测精度。精度度量标准使用了平均相对误差(mean relative error, MRE),见式(2)。

$$MRE = \frac{1}{N} \sum_{i=1}^N \left| \frac{x_i - x'_i}{x_i} \right| \quad (2)$$

式中: N 表示测试电路的个数, x_i 表示VTR 7.0的实验值, x'_i 表示预测值。

图6和7给出了不同训练参数下的预测精度,可以看出误差上限 ϵ 决定了最终的预测精度, ϵ 越小,预测精度越高,但网络越难收敛。

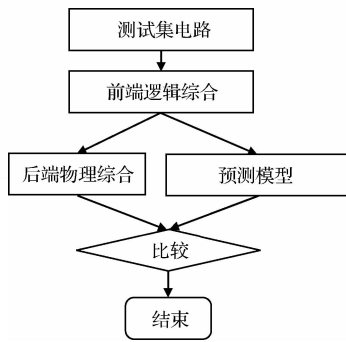


图5 验证过程

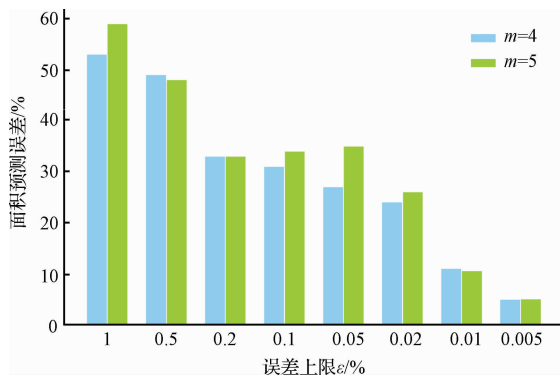


图6 面积 MRE 值与训练参数之间关系

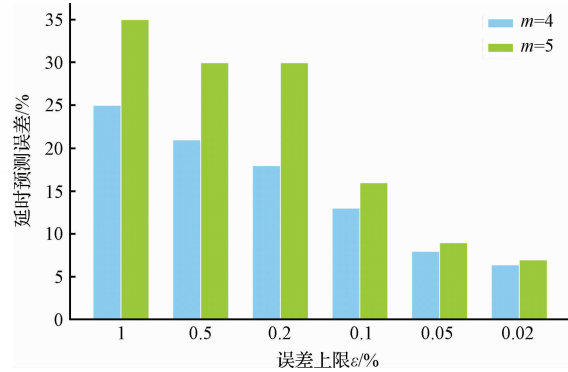


图7 延时 MRE 值与训练参数之间关系

表2给出了测试集电路面积延时的实验值, $\epsilon = 0.005\%$ 时的面积预测值与 $\epsilon = 0.02\%$ 时的延时预测值。对面积的预测上,最高预测错误为4个CLB,平均每个电路预测错误1.25个CLB,预测精度达到4.9%;对延时的预测上最高预测错误为0.45 ns,平均每个电路预测错误0.2 ns,预测精度达到6.4%。

表3对本文提出的方法和现有文献进行了一个对比。除了文献[9]给出的是面积和延时的一个估计范围,其他文献给出的是估计值。可以看出,本文提出的方法对面积的预测上取得最高的精度,达到了4.9%。文献[8]对时序

表2 预测结果

电路	面积	面积预测值	面积误差/%	延时/ns	延时预测值/ns	延时误差/%
9sym	9	9	0.0	3.16	3.53	12
alu2	13	13	0.0	5.45	5.65	3.7
apex1	49	48	2.0	4.32	4.52	4.6
apex3	60	60	0.0	5.16	5.50	6.6
apex5	33	37	12.1	3.63	3.63	0.0
bw	8	8	0	2.64	3.09	17.0
ex4p	27	30	11.1	3.68	3.60	2.2
ex5p	74	74	0	5.54	5.57	0.54
i7	15	13	13.3	2.21	2.59	17.2
i9	23	25	8.6	3.40	3.54	4.1
tseng	63	65	3.7	7.11	7.15	0.56
x4	12	13	8.3	2.49	2.71	8.8
平均			4.9			6.4

表3 和现有文献的比较

文献	方法	面积预测阶段	延时预测阶段	面积预测误差/%	延时预测误差/%
文献[4]	延时矩阵	未涉及	布局中	未涉及	8.9
文献[6]	蒙特卡洛分析	未涉及	布局前	未涉及	7
文献[7]	统计平均	未涉及	布局前	未涉及	未提及
文献[8]	模拟装箱/经验公式	布局前	布局后	6.2	6.1
文献[9]	理论推导	逻辑综合前	逻辑综合后	<16	<13
文献[10]	曲线拟合	布局之前	未涉及	6.8	NA
本文	神经网络	布局之前	布局后	4.9	6.4

的预测取得了最高的精度 6.1%，本文的所提的方法在预测时间早于文献[8]情况下，依然取得了与之可以比拟的精度，达到了 6.4%。

5 结论

本文提出了一种在电路映射后，根据电路特性参数对电路面积时序的影响，使用 3 层前馈神经网络预测电路的面积、时序的方法。对面积的预测 MRE 值小于 5%，对时序的预测 MRE 值小于 7%，和现有同类文献相比，所提方法具有预测时间早，预测精度高的优点。面对电路功能的不断复杂和工艺节点的不断加深，该模型能加速 FPGA 电路设计流程，提高设计质量，有效应对 CAD 工具在设计时间、设计质量、设计可靠性等方面面临的挑战。

参考文献

- [1] 姚君. 基于状态机方法的 CAN 总线通信的 FPGA 实现[J]. 国外电子测量技术, 2015, 34(3):64-68.
- [2] 孙海超, 田睿, 丁南南, 等. 基于直方图均衡化的自动白平衡算法及其 FPGA 实现[J]. 仪器仪表学报, 2015, 36(S1).
- [3] 王飞. 基于 FPGA 的全数字化峰值时刻检测技术[J]. 电子测量与仪器学报, 2015, 29(6):914-919.
- [4] LUU J, GOEDERS J, WAINBERG M, et al. VTR 7.0: Next generation architecture and CAD system for FPGAs[J]. Acm Transactions on Reconfigurable Technology & Systems, 2014, 7(2):136-144.
- [5] KUON I, ROSE J. Area and delay trade-offs in the circuit and architecture design of FPGAs[C]. Proceedings of the 16th International ACM/SIGDA Symposium on Field Programmable Gate Arrays, 2008: 149-158.
- [6] SEVERENS B, VANSTEENKISTE E, HEYSE K, et al. Estimating circuit delays in FPGAs after technology mapping[C]. International Conference on Field Programmable Logic and Applications, 2015.
- [7] MANOHARARAJAH V, CHIU G R, SINGH D P, et al. Difficulty of predicting interconnect delay in a timing driven FPGA CAD flow[C]. The Eighth International Workshop on System-Level Interconnect Prediction, 2006:3-8.
- [8] XU M, KURDAHI F. Area and timing estimation for lookup table based FPGAs[C]. European Design and Test Conference, 1996:151-157.
- [9] NAYAK A, HALDAR M, CHOUDHARY A, et al. Accurate area and delay estimators for FPGAs[C]. Design, Automation and Test in Europe Conference and Exhibition, 2002:862-869.
- [10] SINGH R, RAJAWAT A. Accurate area estimation model for FPGA based implementation[J]. IOSR Journal of VLSI and Signal Processing, 2016, 6:26-32.
- [11] ZHANG Q J, GUPTA K C, DEVABHAKTUNI V K. Artificial neural networks for RF and microwave design-from theory to practice[J]. IEEE Transactions on Microwave Theory & Techniques, 2003, 51(4): 1339-1350.
- [12] 焦敬品, 李勇强, 吴斌, 等. 基于 BP 神经网络的管道泄漏声信号识别方法研究[J]. 仪器仪表学报, 2016, 37(11):2588-2596.
- [13] HUANG G B, ZHU Q Y, SIEW C K. Extreme learning machine: Theory and applications[J]. Neurocomputing, 2006, 70(1-3):489-501.
- [14] BERKELEY U C. Berkeley logic interchange format (BLIF)[J]. Oct Tools Distribution, 1992(2): 197-247.

作者简介

王佳伟, 1992 年出生, 在读研究生, 主要研究方向为大规模 FPGA EDA 软件开发。
E-mail: 1216451203@qq.com