

数字电路封装的串扰测试方法研究

菅端端 赵鑫

(集成电路测试与评价工业和信息化部重点实验室 北京 100176)

摘要:梳理了数字电路封装串扰测试方法的发展历史,总结了串扰的影响因素。基于对业界串扰测试方法的分析,比较了各种方法间的区别和优缺点,分析了美军标 MIL-STD-883K 中串扰测试方法很少修订却长期存在的原因。明确了美军标及其他串扰测试方法的适用范围,提出了我国相应标准制修订方向的建议。测试结果表明,标准中的现有方法在评估串扰对整体电路影响方面手段有欠缺,需要结合电磁仿真对串扰影响做出整体评估,并利用实际测试对仿真结果进行校准,从而提高模拟的准确度,此方法可以在我国相应标准的制修订中加以采用。

关键词:串扰;容性耦合;感性耦合;串扰模型

中图分类号: TN06 **文献标识码:** A **国家标准学科分类代码:** 510.1035

Study on crosstalk measurements for digital integrated circuits package

Jian Duanduan Zhao Xin

(Key Laboratory of Integrated Circuits Testing and Evaluation, Ministry of Industry and Information Technology, Beijing 100176, China)

Abstract: This paper presents the history of crosstalk test method and summarizes the factors of crosstalk. Based on the analysis of the crosstalk test methods used in the industry, the differences, advantages and disadvantages of the methods are compared. Analyzing the reason why crosstalk test in the standard method is rarely revised, the paper proposes the applicability of the crosstalk test methods in MIL-STD-883K and the industry, and revision directions for our corresponding standard in China. The test results show that the electromagnetic simulation tools need to be used to estimate the crosstalk influence integrally and can be used in the corresponding standards in China.

Keywords: crosstalk; capacitive couple; inductive couple; crosstalk model

1 引言

美军标 MIL-STD-883《微电子器件试验方法标准》,从 1968 年问世以来,对微电子器件可靠性的提高起着重要的作用^[1]。正在修订中的我国元器件可靠性试验基础标准之一的 GJB548C-20XX 就是以 MIL-STD-883 的 J 版本为蓝本。MIL-STD-883 对我国标准的制定有着深远影响,深入研究其相关内容对于指导自主标准的制定有着重要意义。我国现行的 GJB548B 并没有包含 MIL-STD-883F 的全部内容,如美军标中 3000 和 4000 系列的方法就没有被引入国军标,这其中就包含本文研究的数字电路封装的串扰测试方法。

现行 MIL-STD-883K 中方法 3018“针对数字微电子器件封装的串扰测试”在 MIL-STD-883 中出现的时间是

1987 年 5 月 29 日,对应于 MIL-STD-883C 版本的第 5 次改版,目前为止,串扰测试方法使用了 28 年还没有经过修改,是一个存在了多年的测试方法。在我国目前的标准中尚未发现包括串扰测试的相关内容。

国际上对串扰及其测试方法的研究经历了 4 个阶段:手工计算阶段、简单电路模型仿真阶段、电磁仿真阶段和借助仪器进行实际测试阶段。从对象上可以分为 3 个方面:芯片内部互连线间串扰、封装邦线及引脚间串扰、PCB 引出端间串扰,这 3 个方面的研究通常都是分开的,但作用方式是共同的。随着集成电路特征尺寸的不断缩小,串扰对芯片性能的影响也日渐突出,MIL-STD-883 在很早的版本中就加入了串扰测试方法,但多年来并未重新修订,这造成了标准内容和现实手段的不同步,引起了我国标准研究人员的重视。

收稿日期:2017-03

本文研究的目的是通过调研串扰测试方法在美军标中出现的年代和制修订情况,借助对测试方法的实践进一步明确此方法的作用;比较 MIL-STD-883K 中方法和企业所使用方法间的异同,探索我国标准基于 MIL-STD-883 修订的新方向;寻找微电路更新换代快而美军标串扰测试方法却长期适用的原因;通过对串扰测试方法的理论研究和应用情况,明确测试中需要注意的事项。

2 串扰测试方法适用性分析

2.1 美军标中的串扰测试方法

串扰是临近导体间通过电磁场进行能量耦合的现象,它是高速高密度电路系统中影响信号完整性的关键因素之一。MIL-STD-883K 中方法 3018 “针对数字微电子器件封装的串扰测试”的目的是测量封装引脚间宽带数字信号和噪声的串扰水平,从而除了方法 3013.1 噪声容限定义的 6 个参数外,又定义了上升时间、下降时间、耦合电容、噪声脉冲电压和峰值噪声电压这 5 个参数。在 MIL-STD-883K 中说明的串扰测试方法可以用于搜集有用数据以预测封装对数字器件噪声容限的影响,可见,此方法更偏重于对结果的分析以改进设计。

通过对国际上串扰相关研究成果的检索,发现串扰的研究都是分成 3 部分进行的,即芯片级串扰、封装级串扰和 PCB 板级串扰。这 3 种串扰产生机理类似,但测试手段和消除方式并不完全相同,通常的研究成果都只针对某一种串扰方式。由于 3 种串扰通常同时作用,单从测试角度来讲,很难区分出是哪一种方式产生的串扰,所以,方法 3018 仅针对封装的表述并不准确。

美军标串扰测试的基本方法为设置信号发生器在芯片的激励引脚引入干扰信号,用示波器在测试引脚读取串扰结果,即可测得串扰参数。测试系统的搭建和测试过程中有 6 点需要注意:1)信号发生器需能提供符合要求的激励波形;2)示波器需要具备足够带宽;3)降低外部引入的寄生;4)测试芯片要注意接地;5)测试引脚选择;6)耦合电容的测试。

2.2 串扰测试方法的演进

2.2.1 利用手工计算进行串扰估计

手工计算阶段从 20 世纪 60 年代到 90 年代初,研究的手段是通过公式推导来推算特定模式下的串扰结果,借助瞬态分析技术^[2-3]建立的多导体传输线理论^[4]就是这一阶段的代表之一。除了基于基本电压电流方程的推导,很多专家也专注于耦合有损传输线理论的研究^[5],包括非线性源/负载网络的研究、信号链矩阵、多耦合互连线信号波形的传输方程、弱耦合情况下的传输特性、循环边界条件以及传输方程的泰勒序列和傅立叶反变换方法等。所有公式推导的目的都是建立多互连线上信号传输模型,从而可以确定串扰对相邻互连线的干扰结果,分析干扰的影响因素,寻找减小干扰的途径。受限于手工计算的复杂度,文献中报道的是对最多 5 根互连线间串扰特性的研究。

手工计算是建立在基本电路方程和电磁理论的基础上的,推导都是基于理想的假设,而且仅仅两根互连线间的串扰估计就需要大量的公式推导,所以这种方法实际应用的范围比较小,通常是用于得出一些趋势性的结论,定性的对串扰的影响因素和作用结果进行分析。手工计算阶段为后来电路仿真模型的建立打下了理论基础,模型中各仿真参数的确定往往都是基于早期手工计算的结论,即便是现代测试设备性能极大提高,也不能仅仅依靠测试的结果下结论,因为对于串扰这类噪声信号,对测试结果的干扰因素很多,实际的测试过程往往不能剔除所有干扰而仅仅观察一类串扰的作用结果,此时,理论计算的结论对于发现问题的本质往往起着决定性的作用。

2.2.2 建立电路模型进行串扰仿真

简单电路模型的建立还是基于手动计算的结果,是借助电路仿真工具将手动计算的结果规模化应用,从而可以对多根互连线甚至是芯片上所有互连线的串扰特性进行仿真,针对简单电路模型进行研究的文章主要出现在上世纪 90 年代到本世纪开始十年^[6]。

在数字/模拟混合信号集成电路中,数字电路开关噪声对模拟电路的影响通常是限制芯片整体性能提高的关键因素^[7],因此模拟电路设计工程师需要选择最优的电路结构以提高电路的鲁棒性,提高抗干扰性。但是,如何衡量电路结构是否最优呢?这就需要借助串扰的仿真模型,串扰模型是用来表征串扰特性的一组电路模型,它们是根据理论计算的结果模拟串扰的输出波形。由于不同模块间的串扰方式不同,所以要根据实际情况设计串扰模型。如图 1 所示是数字信号线对数字电源/地的串扰模型,由于数字电路对模拟电路的干扰大多是通过电源或地进行的,所以通过建立此模型可以衡量数字电路对模拟电路的干扰程度^[8]。

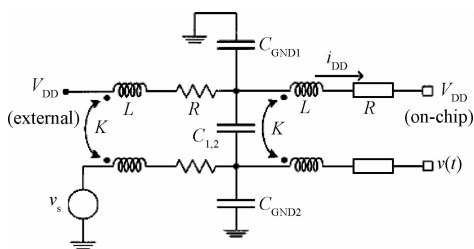


图 1 数字信号线对数字电源/地的串扰模型

除了芯片内部信号线、电源、地之间的串扰,键合线间、封装引脚间和 PCB 引出角间的串扰都应该加以考虑,而且如芯片这样的微小电流系统的串扰特性和用大型测试设备模拟的串扰特性是不一样的。首先,封装产生的寄生电容、电感相对芯片内部电路来说是比较大的值,会极大影响偏置电压的稳定性;其次,键合线和芯片引脚的寄生电阻、电感、电容会形成一个 RLC 网络,使得芯片内部的电源系统与外部供电电源系统存在很大的差别;再次,相邻导线、相邻键合线间的互感和互容会通过电磁耦合加重串扰,破坏模拟、数字电路的信号完整性。将以上讨论

的串扰模型用在对串扰敏感电路的仿真中,如常用的两相时钟产生电路、各种 ADC 电路和 VCO 等,可以衡量电路受串扰影响的程度,改善电路设计方案,提高产品质量,缩短产品的开发周期。同时需要注意的是通常来说模型越复杂模型的精度就越高,但电路的仿真时间就越长,所以需要通过对串扰原理的深入研究开发既简单又准确的模型,这也是现代电路仿真器在不断改进的地方。

串扰从产生机理上可以分为容性耦合(图 2)与感性耦合(图 3)^[9],将引起串扰的导体称为“施主(Aggressor)”,被干扰的导体称为“受主(Victim)”。串扰按作用位置可以分为近端串扰(NEXT)和远端串扰(FEXT),近端串扰的作用位置为受主靠近施主串扰产生源一侧,远端串扰的作用位置则为受主远离产生源一侧。在受主的近端,电感耦合与电容耦合产生的电流方向是一致的,而在远端电感耦合与电容耦合产生的电流方向是相反的,它们会互相抵消。研究表明在串扰发生时,近端串扰会产生一个同步低幅度大脉宽的串扰,而远端串扰会产生一个有延迟,且周期很短幅度很大的串扰,这个干扰对信号完整性破坏较大。深入了解串扰的形成机理对于建立准确的电路模型是很有帮助的。

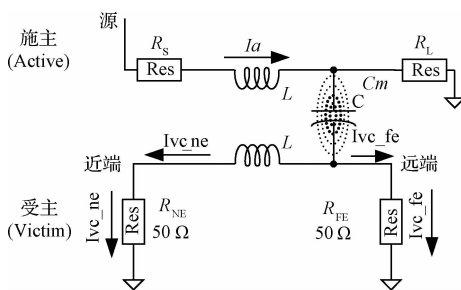


图 2 容性耦合引起的串扰

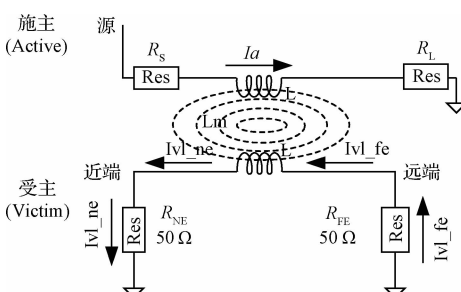


图 3 感性耦合引起的串扰

虽然芯片内部导线、键合线、封装引出线、PCB 引出线结构不同,但串扰模型的建立过程类似,基本上可以分为 3 步:物理参数提取,串扰模型建立,串扰特性仿真。通过这 3 步可以得到各种串扰模式中各施主的影响程度以及具体的量值,有利于对串扰进行有针对性的调整。但是,串扰是一个概率事件,并不是每次串扰都会导致失效,如果总是以最差情况对串扰进行估计,那么就会导致设计成本极大的上升,所以,文献[10]提出了一种基于统计的电路仿真方法,如图 4 所示。通过在模型中加入工艺参量使

得仿真更接近真实结果,同时考虑工艺参数的波动,仿真过程要反复进行。初次的仿真使用最差条件,如果在此条件下串扰对电路结果没有影响,那么此工艺条件下电路是安全的,重新设定工艺条件继续仿真。当在最差条件下电路出现问题甚至失效,就要再用典型条件仿真一次,因为串扰是个概率事件,即便在典型条件下仿真失效,真实应用中也不一定发生,为了综合考虑设计成本和产品质量,在典型条件下失效的电路要加以修改,在最差条件下有问题的电路可以根据失效的概率酌情修改。在典型条件下也有问题的电路只要个数没有超过允许的总个数就可以继续进行仿真,当仿真结束后就可以得出在典型条件下出问题情况占最差条件下出问题情况的比率,从而根据实际情况决定是否需要继续修改电路。

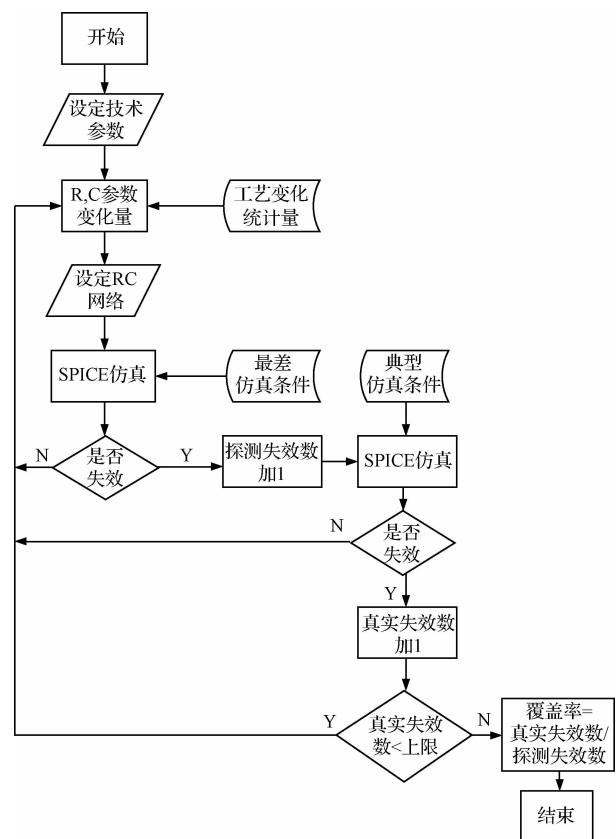


图 4 串扰统计仿真流程

利用 HSPICE、SPECTRE 等电路仿真工具进行串扰仿真是一种高效的仿真方法,但受限于电路的规模,串扰模型需要做得简单且精确,借助电路仿真工具可以研究在不同工艺条件下串扰的影响程度和作用方式,是当今较多使用的一种串扰研究手段^[11]。

2.2.3 使用电磁仿真工具进行串扰模拟

随着仿真技术的发展,多种性能优越的电磁场仿真软件被用来进行复杂电路电磁场环境的模拟,如 Ansys, HFSS, Microstripes, 这些仿真器通过对被测电路进行立体建模,可以更加精确的模拟待测环境,从而比传统手工计算的结果更加准确,将电磁仿真工具的计算结果代入电路仿

真工具可以得到更加准确的串扰数据。电磁场仿真包括2D和3D仿真,大多数电磁仿真工具都是基于有限元方法进行的,有限元分析要经过建立模型、定义材料属性、施加约束、定义载荷、划分网格等多个步骤,有限元方法对于复杂的电路结构由于较难构建精确的立体模型,而且划分网格的难度加大,仿真过程较难收敛,但对于简单结构的电磁仿真还是比较准确的,所以,很多研究机构利用电磁仿真方法确定串扰影响的变化趋势、影响因素及改善方法。

随着电路规模大幅提高,导体间距急剧降低,电磁环境越发复杂,从2010年开始,越来越多的研究人员将电磁仿真工具应用到串扰的模拟中。研究人员借助 HFSS 工具对集成电路封装及 PCB 板的电磁特性进行了仿真^[12],可以对距离、耦合长度、频率对 NEXT 和 FEXT 的影响进行综合评估,找到主要矛盾从而更好的优化芯片的布线。

除了针对导线布局的应用,电磁仿真方法更加有用的地方是对封装结构的优化,这是其它测试手段无法比拟的,借助电磁仿真尤其可以对片上系统和系统级封装内部不同芯片间的串扰进行仿真,从而确定封装内部多芯片的相对位置,屏蔽层的数目和位置,以及屏蔽层接地点的密度和位置^[12]。

串扰的影响因素有很多,如导线类型、物理尺寸、间距、周围的材料类型、场的种类和水平、频率等。从封装上来说,随着工艺的进步,影响因素的大小经历了一个从“垂直”到“水平”再到“垂直”的过程。早期的 DLP、SOP、QFP 等封装形式引脚间距较大,布线空间较大,导线厚度与宽度的比值较小,相比一个平面内导体的相互干扰来说,上下层间交叠导线的串扰要更大。随着技术节点的进步,芯片尺寸不断缩小,封装厚度尺寸不断降低,布线资源越来越紧张,水平布线间的串扰变为整体串扰的主要方面,如 TSSOP、SQFP 等。随着 BGA、WLCSP 的出现,封装引脚从线状排布变为了面状排布,一个引脚周围最多有六个引脚围绕,电磁环境变得复杂,密集的焊球和通孔使得上下层间耦合加重且不易消除。电磁仿真在适应新材料、新结构、新技术方面有着突出的优势。

2.2.4 借助设备进行串扰测试

使用设备测试芯片的串扰会引入更多的寄生参数,所以,通常使用中不这么做。但设备测试对于验证理论、仿真和模型的准确性有重要的意义,所以,借助设备的串扰测试多数是用于方法正确性的验证。如 2.1 节所述,串扰可以发生在芯片内部、封装管脚、PCB 引出脚 3 类位置,分析时应分别进行。

1) 芯片内部导线间串扰测试

对于芯片内部导线的串扰,应在需要测试的导线上制作微型焊盘以减小寄生,进行引出后进行测试,波兰的科学家曾在 2014 年发表了文献^[13]对晶圆上不同耦合长度、宽度、间距的导线间的串扰进行了测试。为减小测试设备对待测导线的影响,用于引出的探针阻抗需要足够高、电容需要足够小,这也是用设备测试的缺点之一,因为

实际芯片中导线尺寸都是微米级的,寄生电容本身很小,而探针的寄生参数通常都是与芯片内部寄生参数相比拟,甚至更大的,所以,设备测试的真实性通常会遭到质疑,图 5 所示为对晶圆上待测对象进行探针引出的情况^[13]。

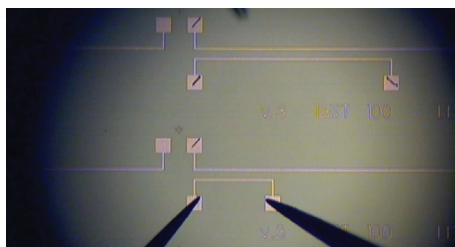


图 5 待测导线引脚、焊盘及探针

2) PCB 引出脚间串扰测试

对于 PCB 引出脚间的串扰,应综合考虑焊球、通孔、引出线的水平和垂直方向的影响因素。研究 PCB 引出脚水平方向串扰的文献有很多,研究垂直方向串扰的主要是 Altera 公司的研究人员,研究表明随着数据速率的增加和信号密度的上升,串扰是高速串行链路中破坏数据抖动性能的基本因素之一,而且相比水平方向的串扰,垂直互连引起的串扰更加难以消除,而且不同管脚间串扰的影响程度也不同,主要分为驱动端(TX)对驱动端(TX)的串扰,接收端(RX)对接收端(RX)的串扰,驱动端(TX)对接收端(RX)的串扰 3 类。结果表明,PCB 上通孔引入的串扰是很可观的,若 TX 和 RX 距离较近,串扰会对误码率产生较明显的影响。Altera 的研究人员通过发射 9 位的伪随机码来看 TX 对 RX 的串扰对误码率以及信号完整性的影响,在此测试条件下串扰对 RX 眼图的影响大约在 0.06 UI。

研究人员通过对 PCB 上的通孔重新布局发现在不改变 BGA 焊球位置的前提下,只要将 TX 和 RX 各自差分对引出通孔连线旋转成正交的,就可有效减小 TX 对 RX 的串扰,这是由于一方面正交的通孔增大了 TX 和 RX 引出线间距离,另一方面,在此情况下, TX 和 RX 引脚形成的磁场也是正交的,耦合最小。

3) 封装管脚间串扰测试

对于封装管脚间的串扰,可以使用空的封装壳直接测量。本文设计了试验来测试封装管脚间的串扰。

2.3 串扰测试方法的对比及适用性

为与单纯的性能测试不同,串扰测试侧重的是通过测试寻找减小串扰的方法,正如 2.1 节所述,串扰是一种非预期的现象,它的发生与应用环境中的多种因素有关,“依靠设备才是测试”的想法在串扰测试中是不适用的,所以,国际上大多是利用设备来验证公式推导和仿真模型的正确性,然后借助仿真工具进行大规模的验证。

美国国家航空航天局兰利研究中心(NASA Langley Research Center)曾进行了一系列的实验^[14]来说明之前所提 4 种方法在分析串扰时的辅助关系,图 6 所示是实验之一。首先建立一个较理想的两根互连线的宏观系统,并进

行串扰测试,然后手工计算互联线的串扰特性,接下来建立电路模型模拟串扰结果,然后使用电磁仿真工具对串扰的结果进行仿真,最后,将手工计算、电路模拟、电磁仿真

和实际测试的结果进行对比,结果发现4种方法在NEXT/FEXT随负载电阻变化、NEXT/FEXT随近端/远端电阻变化等结果很接近。

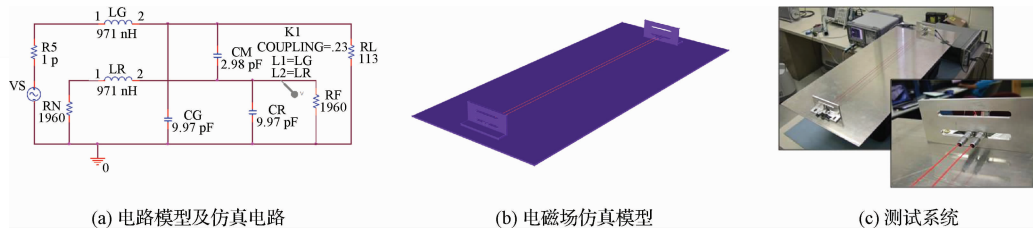


图6 不同串扰测试方法的对比实验

综上所述,串扰测试方法中手工计算的方法可以对各因素的影响趋势进行预测,但受限于计算的复杂度,计算条件和结果都偏理想化,与实际测试有一定的偏差,但对避免串扰有指导意义,并可用来计算简单电路模型中各参数的值。

建立电路模型使用电路仿真工具的方法是当今较多使用的一种高效的仿真手段,借助电路工具的寄生参数提取功能,可对工艺模型中涉及的R、C寄生参数引起的串扰进行精确仿真,对于大规模集成电路中所有的容性耦合产生的串扰理论上都可以自动仿真,但由于要兼顾整体电路的仿真速度,所以电路模型不可能做得足够精确,并且当今的仿真器还不能自动提取准确的电感寄生参数,也就是说串扰仿真不能自动考虑电感耦合,如需考虑还需逐点手动添加,这显然不现实,所以对仿真结果的精确程度也产生很大影响。

相比电路仿真,电磁场仿真工具就更加精确,它是建立在麦克斯韦方程组等电磁理论基础上的,可对电场、磁场的耦合进行精确分析,当边界条件设置合理,网格划分正

确,材料参数设定无误的基础上,电磁仿真工具可以得到很接近实际情况的仿真结果,但受限于仿真的复杂度,仅用于模拟简单的导体结构,对于芯片级的互联串扰仿真是无法完成的。

借助设备的测试通常被认为检验模拟正确与否的手段,但在串扰这种测试中,真实测试的结果往往和实际情况不符,这是因为无论芯片级串扰,封装串扰还是PCB引起的串扰,寄生参数都很小,而实际测试使用的探针、导线等工具引起的寄生参数往往和真实引起串扰的寄生参数相比拟,甚至更大,这样就会导致测试引入的误差远大于真实结果,使得对串扰产生源的判断出现错误,失去了测试的意义^[15],所以,一方面研究人员继续对测试环境进行优化,虽然这方面通常会出现瓶颈;另一方面研究人员用设备测试的方法在简单环境下验证和校准仿真结果,然后利用仿真工具对复杂及微小电路环境中的串扰进行实际仿真。以上4种测试方法分别用于不同场合,并且可以互相验证,在应用时应根据实际条件综合选择测试方法,如表1所示。

表1 不同串扰测试方法比较总结

方法名称	适用范围	准确程度	优点	缺点
手工计算	小于五根互连线	较低	可对变化趋势直接计算; 可计算简单电路模型参数; 考虑了电感耦合; 排除了设备引入的干扰。	受限于计算复杂度; 不适用于大规模集成电路。
简单电路模型仿真	广泛	中等	高效,可用于复杂系统; 适用于芯片、封装、板级等多种场合; 排除了设备引入的干扰。	精度有限; 现有仿真器忽略电感耦合。
电磁仿真	中等	较高	结果较精确,接近实测值; 综合考虑容性和感性耦合; 高效; 适用于电路、封装、板级的结构设计; 排除了设备引入的干扰。	建模较复杂; 不适用于大规模集成电路。
实际测试	中等	中等	直观; 测试条件通常比实际使用时恶劣, 是最差情况。	待测参数与设备寄生接近; 结果偏悲观; 修改条件繁琐; 预期作用有限; 设备昂贵且环境要求高。

几种串扰测试方法综合使用的方式已经被用于很多场合,如 IBM 将其用于 Power6 处理器芯片的设计, Intel 则用于多芯片封装的布局,而 Cisco 将这种技术用于 Ser-Des 的 PCB 板的设计中。

3 实验结果

为证明串扰测试方法的可行性,根据 MIL-STD-883K 中方法 3018 搭建了试验电路,测试设备连接如图 7 所示,分为 5 个部分:信号发生器、示波器、参考地平面、待测器件和引出端。首先,地平面用于消除包括空间辐射干扰在内的噪声信号,高阻探针用于减小测试设备对待测器件寄生参数的影响。然后,通过 Keysight E8257D 信号发生器输出一个周期性脉冲信号,脉冲上升时间为 95 ps,脉冲幅度为 500 mV。最后,使用高速示波器显示干扰线传输信号以及被干扰线上的串扰信号,对比不同条件下串扰的影响水平。

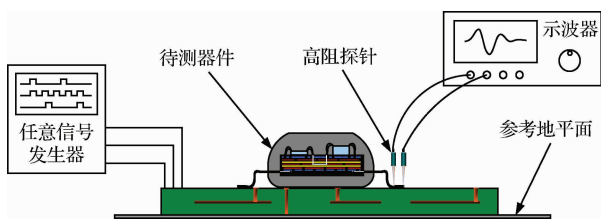


图 7 串扰测试原理

利用串扰的测试方法可以对芯片内部、封装管脚、PCB 引出脚间的信号耦合进行评估,对封装管脚间的串扰进行了测试。选取大规模集成电路封装 CQFP240 的空陶瓷外壳进行信号线耦合电容及串扰测试,将图 7 中“待测器件”部分替换为 CQFP240 空陶瓷外壳,该外壳是采用介质材料为 Al₂O₃ 陶瓷烧结而成,进行测试的信号线引线最小线间距为 0.2 mm,引出端线宽 0.3 mm。选用低寄生参数的 SG 测试探针和半自动探针台作为测试夹具,在激励通道两端分别采用 50 Ω 的探针连接,夹具如图 8 所示,测试结果如图 9、10 所示,其中横坐标表示时间,每个单元格为 200 ps,纵坐标表示信号幅值,每个单元格为 50 mV。由测试结果可以看出,在信号线间距为 0.2 mm 的两传输线的一个端口加载 2 GHz 高频率脉冲激励下,相邻线上串扰是非常明显的,近端串扰峰-峰值达到 200 mV,远端串扰峰-峰值达到 250 mV。

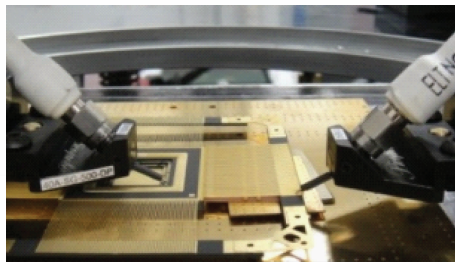


图 8 CQFP240 封装管壳串扰测试

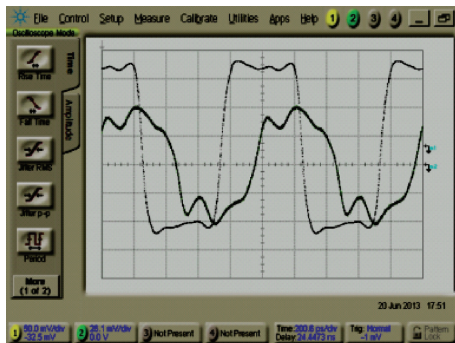


图 9 CQFP240 封装管壳 NEXT 实测图

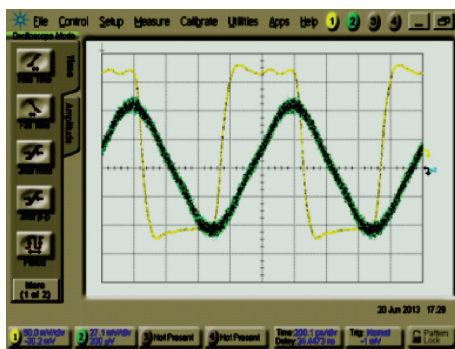


图 10 CQFP240 封装管壳 FEXT 实测图

表 2 所示为利用以上设备测得的 CQFP240 管脚间的寄生电容,由测试结果可以看出,在信号线间距为 0.2 mm 的两传输线的一个端口加载 2 GHz 高频脉冲激励下,耦合电容均在 0.5 pF 以下,最大为 0.377 pF,最小为 0.123 pF,这个值已经可以和芯片内部导线间寄生电容相比拟了。

表 2 CQFP240 封装管脚寄生电容测试值

线号	容值	线号	容值	线号	容值	线号	容值
4-8	0.278	44-37	0.142	80-73	0.156	118-109	0.233
4-10	0.250	44-40	0.266	80-76	0.186	118-114	0.278
4-14	0.231	44-42	0.377	80-84	0.174	118-122	0.263
4-18	0.233	44-48	0.251	80-86	0.140	118-126	0.236
4-22	0.233	44-52	0.220	80-94	0.123	118-130	0.230
4-30	0.248	44-62	0.227	80-99	0.125	118-134	0.236
4-36	0.255	44-72	0.248	80-108	0.252	118-143	0.274

4 结 论

对现行标准和事实标准的串扰测试方法进行了叙述,主要从手工计算进行串扰估计,建立电路模型进行串扰仿真,使用电磁仿真工具进行串扰模拟,借助设备进行串扰测试4种方法入手介绍了串扰测试的常用手段。

串扰测试的目的是为了解决串扰问题,解决串扰问题的途径有很多种:技术层面上,可以使用光互联、纳米管互联、立体芯片、Cu互联加低介电常数介质来减小串扰;系统层面上,电流模传输、无线互联、差分模式传输和串行数据总线都是可以用来减小串扰的手段;在电路层面,缓冲器插入尺寸优化与平衡,噪声识别与修复,噪声滤波,以及减少内部翻转等技术也已用到串扰消除中;在物理版图层面,敏感区域隔离,屏蔽层插入,布局布线和走线优化都是串扰消除的有效技巧。每一种方式都有它的优缺点,生产成本、市场需求、芯片面积等因素使得需要根据具体情况在各因素间进行折中,但共同的地方是这些途径都是基于准确的串扰测试结果。

通过本文的分析,相比美军标的串扰测试方法,业界使用的方法更加合理,应用也更加广泛。与这些应用相比,现行标准中方法是落后的,我国军标是参照美军标的,如果对这种落后的方法也加以引入,就失去了标准的先进性和实用性。

美军标中串扰测试方法制定时间很早且很少修订,但却一直存在,这其中有如原因。

首先,长期存在是有必要的。串扰参数无论是作为一个性能指标还是作为衡量芯片互换性的指标都有其重要意义。

其次,串扰评估手段多样。由于串扰指标的特殊性,对其分析难度很大,这其中的原因之一是串扰本身包含大量的高频分量且主要由寄生引起,为串扰影响的准确评估带来很大困难。为了解决这些问题,串扰的评估手段不断丰富,国际上在研究串扰时大多使用简单结构的实际测试来验证仿真模型的正确性,并进行校准,然后使用电磁、电路仿真工具,甚至是公司自行开发的专用工具来对特定芯片、封装、PCB的串扰特性进行研究,所以,串扰测试须将各种手段相结合,最终得出合理的预测结果。多种手段共同发展给标准的制修订带来了困难,很多手段的基础理论、发展方向、评估方式都是不一样的,所以很难形成共性的测试标准,导致此类方法较少修订。

最后,发挥标准的示范作用。美军标中有一些方法是针对现在较少使用的元器件的,但这些方法并未被废止,其中一个原因是这类方法对相似问题的处理提供了一个解决的思路,虽然器件不再用,但解决的思路依然适用,这是美军标处理集成电路种类极大增长、技术不断进步、用途逐渐拓宽的解决方法之一,标准文本很难覆盖所有集成电路门类,但却可以对相似问题的解决方式提供一个标准思路。

对于我国标准来说,串扰的测试方法是标准体系中很

重要的一块,应该加以引入,这一方面有益于丰富我国标准对集成电路的评估手段,另一方面也可以满足我国标准与国际标准对标的需求。具体操作时一方面应保持标准的完整性,条款方面可以参照美军标,另一方面应保持标准的先进性,可以借鉴国外公司处理方式,在制定串扰测试相关标准时不指定具体的测试手段,仅对测试的原理及方式加以规范,从而扩大标准的适用范围。

参 考 文 献

- [1] 郑鹏洲. MIL-STD-883 更名并作重大修改[J]. 质量与可靠性, 2001(4): 14-15.
- [2] 刘杰, 陈大为, 胡海涛, 等. 大功率集成电路动态老炼自动温度控制器设计[J]. 电子测量技术, 2015, 38(5): 127-130.
- [3] CHILO J, ARNAUD T. Coupling effects in the time domain for interconnecting bus in high-speed GaAs logic circuits[J]. IEEE Transactions on Electron Devices, 2005, 31(3): 347-352.
- [4] JIANG D, LIU X K, WANG D Y, et al. Analysis of sensitivity and errors in Maglev vibration test system[J]. Instrumentation, 2016, 3(1): 70-77.
- [5] GRUODIS A J, CHANG C S. Coupled lossy transmission line characterization and simulation[J]. Ibm Journal of Research & Development, 1981, 25(1): 25-41.
- [6] TRUCCO G, BOSELLI G, LIBERALI V. An Approach to computer simulation of Bonding and Package crosstalk in Mixed-Signal CMOS ICs[M]. 2004.
- [7] DONNAY S, GIELEN G. Substrate noise coupling in mixed-signal ASICs[M]. Springer US, 2003.
- [8] LIBERALI V, PETTAZZI S, ROSSI R. Analysis and simulation of substrate noise coupling in mixed-signal CMOS ICs[J]. Pansworld Research Network. Electronics, 2002: 145-163.
- [9] XIAOSONG J, RUNJING Z. Crosstalk analysis and simulation in high-speed PCB design[C]. 8th International Conference on Electronic Measurement and Instruments, 2007: 437-440.
- [10] ZHAO Y, SUJIT D. Analysis of interconnect crosstalk defect coverage of test sets[C]. ITC International Test Conference, 2000: 492-501.
- [11] 唐珂, 谢源, 曾明杰. Cascode 结构微波混沌振荡器的设计[J]. 国外电子测量技术, 2016, 35(8): 86-89.
- [12] HASANI A H, SHAHAR A M, YUSOF A J, et al. Investigation of crosstalk impact on channel performance from IC package and motherboard breakout routing[C]. IEEE International Conference on Semiconductor Electronics, 2012: 583-587.
- [13] PALCZYNSKA A, WYMYSLOWSKI A, BIENIEK

T, et al. Crosstalk phenomena analysis using electromagnetic wave propagation by experimental and numerical simulation methods[C]. International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems, 2014: 1-10.

- [14] BRADLEY A T, YAVOICH B J, HODSON S M, et al. Comparison of analysis, simulation, and measurement of wire-to-wire crosstalk, Part 2[C]. Asia-Pacific International Symposium on Electromagnetic Com-

patibility, 2010: 676-679.

- [15] 米建伟,方晓莉,仇原鹰.非平稳背景噪声下声音信号增强技术[J].仪器仪表学报,2017,38(1):17-22.

作者简介

菅端端,工学硕士,高工,主要研究方向为模拟和混合集成电路设计及测试技术、超高频无源标签和读写器标准及测试技术、MEMS 传感器测试技术等。

E-mail:jiandd@cesi.cn

(上接第 13 页)

5 结论

本文使用基于密度的 K-means 聚类算法,有效提高了聚类的准确性;在数据数目增多的情况下与传统的 K-means 相比,能保持较好的稳定性;在一定程度上也降低了对异常数据的敏感性。另外,此方法对图形分割也有一定的实际应用意义。

参考文献

- [1] 孙吉贵,刘杰,赵连宇.聚类算法研究[J].软件学报,2008,19(1):48-61.
- [2] JAIN AK,DUBES RC. Algorithms for clustering data[J]. Technometrics,1988,32(2):227-229.
- [3] 杨艺芳,王宇平.基于核模糊相似度度量的谱聚类算法[J].仪器仪表学报,2015,36(7):1562-1569.
- [4] MAC QUEEN J. Some methods for classification and analysis of multivariate observations[C]. Proceedings of the 5th Berkeley Symposium on Mathematical Statistics and Probability,1967:281-297.
- [5] LLOYD S. Least squares quantization in PCM[J]. IEEE Transaction Information Theory, 1982,28(2):129-137.
- [6] 庄瑞格,倪泽邦,刘学艺.基于拟蒙特卡洛的 K 均值聚类中心初始化方法[J].济南大学学报:自然科学版,2017(1):35-41.

- [7] 李晓瑜,俞丽颖,雷航,等.一种 K-means 改进算法的并行化实现与应用[J].电子科技大学学报,2017,46(1):61-68.
- [8] 罗清华,彭宇,彭喜元.一种多维不确定性数据流聚类算法[J].仪器仪表学报,2013,34(6):131-139.
- [9] 孙可,刘杰,王学颖.K 均值聚类算法初始质心选择的改进[J].沈阳师范大学学报:自然科学版,2009(4):448-450.
- [10] 周国兵,吴建鑫,周嵩.一种基于近邻表示的聚类算法[J].软件学报,2015,26(11):2847-2855.
- [11] 蔡娟,李东新.基于优化的 K 均值建模的运动目标检测算法[J].国外电子测量技术,2016,35(12):20-23.

作者简介

李金涛,1989 年出生,硕士研究生,主要研究方向为数据挖掘、机器学习、大数据处理等。

E-mail:lijintaoljt@qq.com

艾萍,1961 年出生,博士、博士生导师、教授,主要研究领域为水利信息化、水利大数据。

E-mail:aip@hhu.edu.cn

岳兆新,1985 年出生,博士研究生,主要研究方向为水利信息化、粒计算等。

E-mail:yzx10000@163.com