

基于嵌入式系统的简易逻辑分析仪设计

许可行 吴 帅 周晓华

(火箭军指挥学院 武汉 430012)

摘 要:基于数字信号采集处理以及数字示波器存储显示原理,提出了一种简易逻辑分析仪制作方案。该系统主要由C8051F020与FPGA最小系统模块、ADC采集模块、信号衰减模块及TFT触摸显示模块组成。该设计采用单级、三级触发方式判断,可同时对8路信号进行采集、触发、存储及显示。经实验验证,该系统具有较高的测试速率、能实现多通道输入、可进行多级触发等优点。

关键词:数字信号;逻辑分析仪;触发;多通道

中图分类号: TM932 **文献标识码:** B **国家标准学科分类代码:** 510.1010

Design of simple logic analyzer based on embedded system

Xu Kexing Wu Shuai Zhou Xiaohua

(Rocket Force Command College, Wuhan 430012, China)

Abstract: This paper presents a solution scheme to realize the simple logical analyzer based on digital signals processing and digital storage oscilloscope principle. The system is mainly composed of minimum system of C8051F020 and FPGA, ADC converting module, signal attenuation module and TFT Touch-Screen. The design uses single stage and third stage trigger. Meanwhile, the system can collect 8 channels of analog signals, trigger and storage. The experiment indicates that system has the advantages of high-speed test, multichannel input, multi-mode triggers.

Keywords: digital signal; logic analyzer; attenuation; triggering

1 引 言

随着信息发展迈入数字化时代,传统的模拟信号逐步被数字信号替代。顺着时代的发展,逻辑分析仪被广泛用于自动测试、智能仪器、数字通信以及计算机工程等数字系统的测试中,尤其在硬件及软件的研究、分析、测试和故障诊断中扮演着越来越重要的角色^[1]。在数字信号发生器模块的设计中,尝试用NE555振荡器产生100 Hz信号,然后使用74系列的8 bit移位寄存器进行循环移位。但是,用该芯片控制起来繁琐,预置初值不方便,而且NE555振荡器精度不好,稳定性差^[2]。在8路信号门限触发电路的设计中,运用单片机进行控制,将16级门限电平通过DAC器件进行转化为数字量然后编码,发送到比较器的一端。比较器的另一端接到8路的信号,利用比较器对输入的信号跟设定的电平值进行一个比较,从而判断门限电平。但是,该方案所用到的硬件较多,电路也偏复杂、成本较昂贵^[3]。在数据存储模块的设计中,如果采用完全

独立的采样回放模块,对双口RAM进行操作,可以完成对信号的快速存储及实时回放。但双口RAM占用控制器的I/O口多,同时控制流程复杂^[4]。针对以上在工程实践中发现的问题,本文提出了以C8051F020和FPGA为核心的简易逻辑分析仪实现方案。

2 系统原理与理论分析

2.1 信号触发

逻辑分析仪主要对源源不断的数据流检测出有用的信号,并对这些信号进行采集处理、存储分析^[5]。要对数据流进行提取,就必须设定一个触发事件,当码流符合了设定的观察点或者参考点,就相应的对数据进行存储,通常把这一举动称为信号的触发^[6]。

2.2 ADC模数转换

C8051F020提供8个模拟输入通道(AIN0.0~AIN0.7),频率高达100 kHz,位数高达12 bit的ADC转换^[7]。其参考电压可以在DAC0输出电压和外部参考电压Vref0引

收稿日期:2017-03

脚之间选择。基准电压源选定后,输入电平的模拟量(0~基准源)就对应与数字量(0~4 095)。转换代码 = $V_{in} \times \frac{Gain}{V_{ref}} \times 2^N$ 。已知 $N=12, V_{ref}=2.43\text{ V}, Gain=1^{[8]}$ 。

2.3 存储深度

逻辑分析仪的存储是指,信号经过 ADC 采集后的 8 bit 二进制信息波形值存入高速的 CMOS 存储器中。存储器所能够存储数据的大小,称之为存储深度,也叫存储器的容量^[9]。存储器的容量取决于存储速度的以及存储时间的长短。容量用 C 来表示,存储速度用 S_v 表示, T_{sample} 表示存储时间,其关系式如式(1)所示。

$$C = S_v \times T_{sample} \quad (1)$$

由式子可知,采样速率与采样时间呈反比的关系。在采样时间一定的时候,提高采样速率能够间接提高存储的容量^[10]。

3 系统总体设计

本系统采用 C8051F020 单片机作为本系统的 CPU,通过矩阵键盘设定被测量逻辑信号的门限电平,以及设定触发条件、设定触发前或者触发后的数据显示模式等。8 路预置初值通过模拟 SPI 通信协议发送给 FPGA 产生 8 路可循环输出的逻辑序列。输出的信号经过一个 8 选 1 模拟开关和一片 LM324 进行幅值衰减电路后送入 MCU 内部的引脚进行模数转换^[11]。转化得到的数字量与门限电平设定的值进行比较,并进行高低电平的判定,在采集到的信号满足所设定的触发条件时进行一次触发、数据的保存。具体结构如图 1 所示。

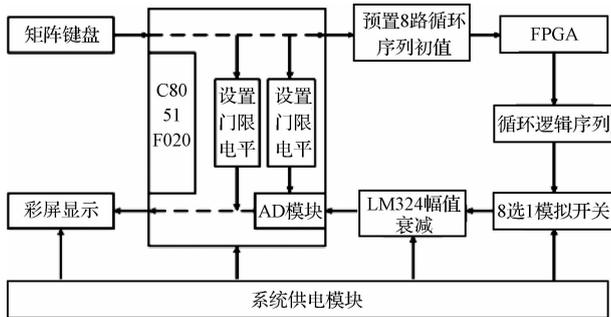


图 1 系统框图

4 系统硬件设计

本系统由 C8051F020 单片机控制模块、FPGA 模块和信号调理电路等组成。C8051F020 单片机控制模块 C8051F020 单片机作为核心器件,搭接电源电路、外部晶振、复位电路和 TFT 液晶显示电路,共同组成 C8051F020 单片机控制模块。FPGA 选择 Alteral 公司的 EP2C5T144C8N 作为核心器件,搭接外部时钟电路、电源电路和下载电路,共同组成 FPGA 最小系统^[12]。

4.1 衰减电路设计

由于 C8051F020 单片机内部集成的 ADC 采集的电

压范围为 0~3.3 V,而逻辑分析仪要能够接纳的电压范围为 0~4 V。显然,如果直接将 4 V 的电压值送到 ADC 的输入端口进行采集,是无法进行模数的转换,甚至会烧毁单片机。因此,需要将输入的被测量的数字循环逻辑序列进行一个幅值的衰减。

门限电平的范围为 0.25~4 V,为了能够合理的采集到电平值,又不至于把信号衰减的过小而导致无法采集,同时为了程序中将信号值重新恢复到原始值。采用衰减整数 2 倍。这样可以任意挑选 2 个阻值相同的大电阻进行分压。也使得 ADC 采集到是数据只要重新乘以 2 就为原来信号的电平值,衰减电路如图 2 所示。

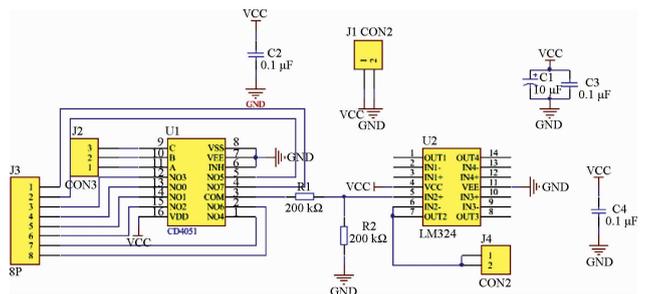


图 2 信号衰减电路

4.2 供电电路设计

C8051F020 及其他芯片供电电路如图 3 所示。系统输入电源为 +5 V, C8051F020 芯片需要 3.3 V 电源供电,所以采用 AMS1117-3.3 稳压芯片提供 C8051F020 芯片的电源。其他芯片的 3.3 V 供电也和 C8051F020 使用同一路电源,在它们之间使用磁珠隔离并加上滤波电容, C8051F020 的数字地和模拟地使用 0 Ω 电阻进行隔离,防止不同地之间的串扰,提高抗干扰能力。

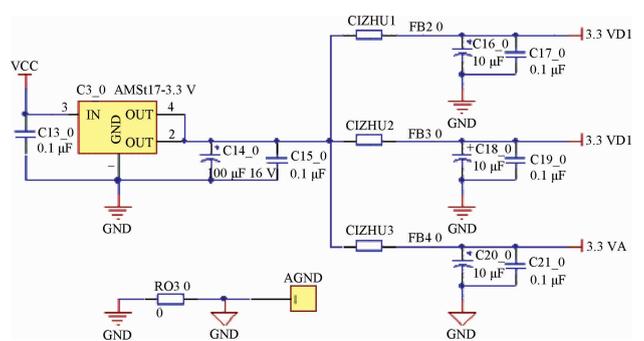


图 3 单片机供电电路

FPGA 控制模块电源电路原理如图 4 所示。本系统输入电源为 +5 V, EP2C5T144C8N 芯片的电源。电源的地与 3.3 和 1.2 V 地之间要加 0 Ω 绕线电阻进行隔离,防止不同地之间的串扰;电源的输入端加 pi 型滤波器滤除高频噪声,输出端加大的贴片电解电容进行滤波,减小电源纹波,增加电源稳定性;同时 PCB 布线时,电源线与地线的宽度应该足够宽。

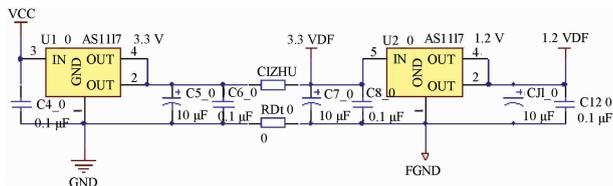


图4 FPGA供电电路

5 系统程序设计

系统在软件设计上主要分为2部分:MCU软件程序设计和FPGA软件程序设计。系统以MCU作为主机,FPGA作为从机进行程序设计。MCU主要完成:对FPGA的控制、数据采集、数据显示以及人机交互等;FPGA主要

完成:根据初值产生8路循环移位的逻辑信号。

5.1 主控MCU程序设计

5.1.1 系统程序设计

系统主流程如图5所示,系统上电后,先关闭看门狗并进行程序初始化,结束后进入主控界面,在菜单界面内进行触发方式的选择,触发字设置,以及预置初值,设置完成后系统进入数据处理模块,这个模块主要进行触发判断,以及数据采集和显示工作。同时在数据处理阶段可进行时间线移动,门限电压调整,以及触发位置的调整。当需要重新设置时,可按返回键回到菜单界面进行重新设置初始值。

5.1.2 数据处理设计

数据处理流程如图6所示。

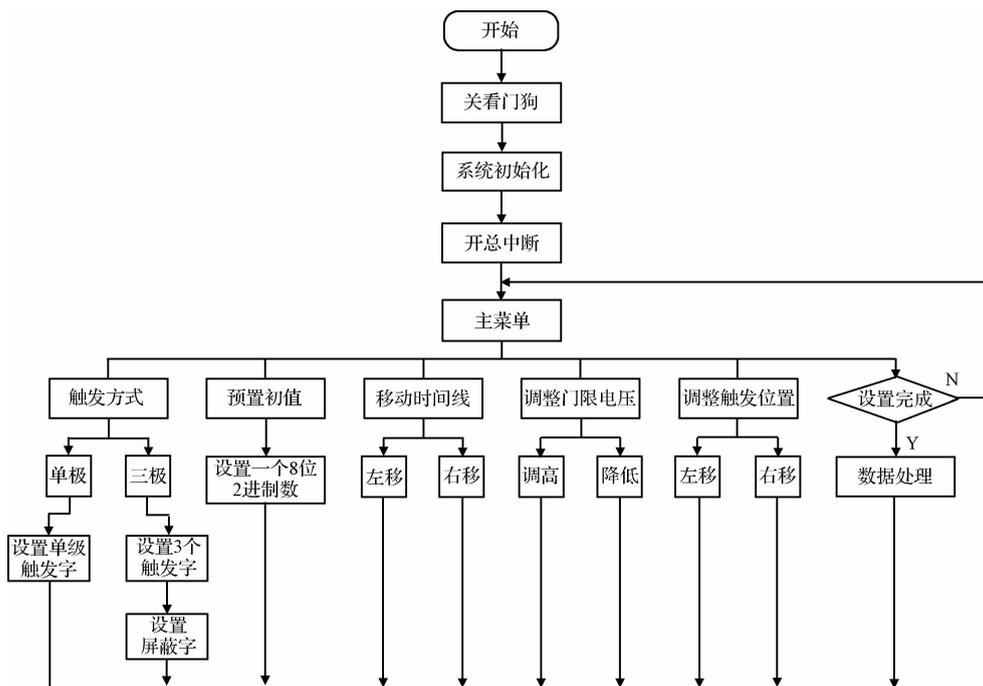


图5 系统程序流程

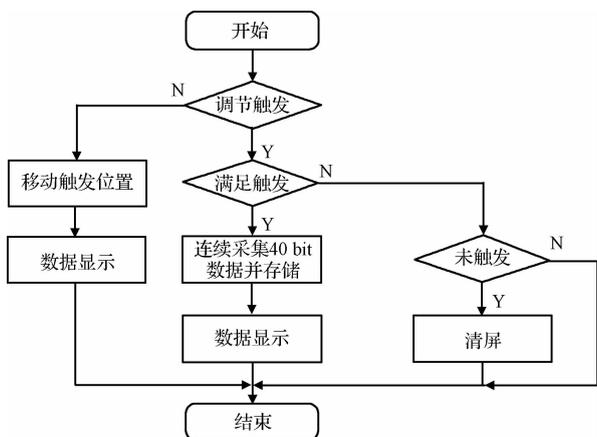


图6 数据处理流程

在不需要调节触发点位置时,先判断是否满足触发条件,满足触发便进行连续采集数据,并存入用于存储触发

后数据的数组中,由于有触发点位置调节,需进行加窗处理,所以每一通道加倍,即采集40 bit。采集过程完成后,将采集来的数据进行显示,每通道显示20 bit的信息,同时画出触发位置和时间线,并显示出时间线对应的逻辑状态,门限电压值。由于FPGA产生的是一个循环移位的信号,所以并不是每次进行AD采样判断触发时,都能满足触发条件,但总体不会超过8个周期,即80 ms。因此,当不满足触发条件时,还引入了超时判断,当系统连续采9个周期都无法满足触发条件时,则判定为无触发信号,执行清屏操作;在需要进行调节触发位置时,系统将不进行触发等相关判断,通过按键进行左右移动来查看触发前和触发后的波形,移动的步进值为1个周期,即10 ms,当移动到存储值全部显示完后将不能继续左移或者右移^[13]。其中,触发后的波形最多显示到40 bit,而触发前的波形为显示深度是随机的,并非在同一个采样点满足触发条件。

5.1.3 触发判断设计

触发判断流程如图7所示。

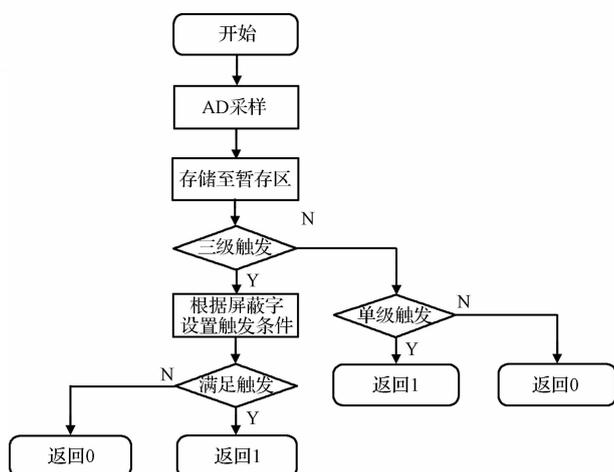


图7 触发判断流程

每次进行触发判断时都将先进行一次AD采集,并将此采集值存入触发前数据的数值中,方便调节触发位置时提前出数据。当系统处于三级触发字判断模式时,由于三级触发字可以任意设定,所以在进行触发判断前需先根据屏蔽字进行触发字的重新调整^[14]。调整后判断最近3次采集值的相应位是否和触发字相等,如果相等则返回1,否则返回0;在单级触发模式下,由于单级触发字为8位,所以不需要经过其他处理,可直接判断是否相等,相等则返回1,不等则返回0。

5.2 数字信号发生器设计

要产生可预置的8路信号,并且将8路信号进行向左循环移动^[15]。计划先将8路信号进行一个周期的循环左移,得到新的7个新数据 $N(n)$ 。把这7个数据加上原始的输入数据,构成一个8字节的数字 $N(7)$,将这8个字节的数据按照左移得到的顺序重复循环输出,即 $N_0, N_1, \dots, N_7, N_0, \dots$ 便得到了左移循环移位逻辑序列。具体实现如表1所示。

表1 循环左移中数据位的变更表

左移次数	新数据	移位后的新数据
1	N_1	$\{D[6], D[5], D[4], D[3], D[2], D[1], D[0], D[7]\}$
2	N_2	$\{D[5], D[4], D[3], D[2], D[1], D[0], D[7], D[6]\}$
3	N_3	$\{D[4], D[3], D[2], D[1], D[0], D[7], D[6], D[5]\}$
4	N_4	$\{D[3], D[2], D[1], D[0], D[7], D[6], D[5], D[4]\}$
5	N_5	$\{D[2], D[1], D[0], D[7], D[6], D[5], D[4], D[3]\}$
6	N_6	$\{D[1], D[0], D[7], D[6], D[5], D[4], D[3], D[2]\}$
7	N_7	$\{D[0], D[7], D[6], D[5], D[4], D[3], D[2], D[1]\}$
8	N_8	$\{D[7], D[6], D[5], D[4], D[3], D[2], D[1], D[0]\}$

6 系统测试与误差分析

6.1 测试条件

测试环境为温度 12°C , 湿度 30%。测试仪器包含 VICTOR VC09805 万用表、SUING TFG6080 函数发生器、TDS210 示波器。测试首先完成对系统中各个独立模块进行单独测试,保证各个模块正常工作后,进行系统级的联调。最后将主控及受控的程序分别下载到 MCU 和 FPGA 中,观察 TFT 显示上的逻辑输出结果,并实时记录测试数据,进行分析判断。

6.2 测试结果与分析

测试1:对FPGA进行仿真测试,在软件的测试机(Testbench)下对其进行功能仿真(此时的仿真不考虑时延,假设是在理想的条件下进行)。假设输入字触发值、数字信号初始值都设置为 0000_0111,则从测试机中得初始值为 0000_0111 序列进行循环左移得到的一个逻辑序列,如图8所示。

测试2:当输入序列初值为1,用示波器查看,8路输出

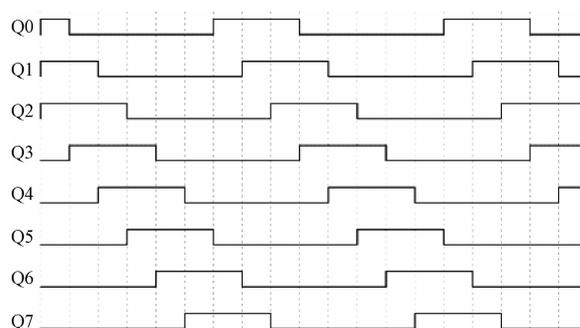


图8 FPGA时序仿真

序列的输出频率是否为 100 Hz,并且记录每次左移后的波形与前一次的时间差,相关测试结果如表2所示。

通过矩阵键盘输入8路逻辑序列的初值,观察发现输出序列与输入值相对。再对循环左移产生的序列进行示波器查看,测量出序列的频率为 100 Hz,最大偏差不超过 0.3%,并且每次左移后得到的序列周期都为 10 ms,最大偏差不超过 2%。

表2 序列频率输出

序号	输出频率/Hz	测量误差	时间差/ms	测量误差
1	99.8	0.002	9.99	0.01
2	99.9	0.001	9.98	0.02
3	99.9	0.001	9.99	0.01
4	99.8	0.002	9.98	0.02
5	99.9	0.001	9.98	0.02
6	99.7	0.003	9.99	0.01
7	99.9	0.001	9.98	0.02
8	99.8	0.002	9.99	0.01

测试3:通过矩阵键盘输入字触发值和数字信号初始值,观察在 TFT 显示上的触发线的位置,相关测试结果如表3所示。

表3 信号触发判断

序号	字触发值	信号初始值	触发线位置
1	0000 0001	0000 0001	0000 0001
2	0000 0010	0000 0010	0000 0010
3	0000 0100	0000 0100	0000 0100
4	0000 1000	0000 1000	0000 1000
5	0001 0000	0001 0000	0001 0000
6	0010 0000	0010 0000	0010 0000
7	0100 0000	0100 0000	0100 0000
8	1000 0000	1000 0000	1000 0000

通过简易逻辑分析仪的初始界面,输入字触发值、数字信号初始值,发现序列在设定的触发值时会进行一次触发,系统触发灵敏,满足设计需求。

7 结 论

本系统以 C8051F020 和 FPGA 作为最小系统核心,采用数字信号采集原理,实现了对数字信号的逻辑分析功能。该系统能产生 8 路可预置的循环移位逻辑信号序列,输出信号为 TTL 电平,序列时钟频率为 100 Hz,并且可实现任意预置初值,单级、三级触发判断的切换,调制门限电压和触发位置等。在测试中,该系统表现出良好的稳定性、容差性,可广泛的应用于工程实践中。

参 考 文 献

[1] 范昌波,申文达. 逻辑分析仪在实验教学中的应用研

究[J]. 实验技术与管理,2012,29(4):319-320.

[2] 朱榜芹,乔威. 简易逻辑分析仪的设计与实现[J]. 实验室科学,2010,13(3):166-168.

[3] 向川云,田书林,曾浩. 混合信号示波器中的逻辑分析仪模块设计[J]. 中国仪器仪表,2009,1:67-70.

[4] 程达,唐宏昊,邢玉秀. 基于 FPGA 的简易逻辑分析仪设计[J]. 国外电子元器件,2008,16(11):25-26.

[5] 杨洋,邱斌,顾卫红,等. 逻辑分析仪触发设计及应用的研究[J]. 现代科学仪器,2011,5:83-85.

[6] 程达,耿春萍,张治. 逻辑分析仪在数字电路测试中的触发选择[J]. 现代电子技术,2007,30(13):160-162.

[7] 刘建平. 9000 系列示波器分段存储技术应用探讨[J]. 电子设计应用,2010,18(1):73-74.

[8] 徐波,邱丰,王光伟. LabVIEW 与 EPICS 数据采集及应用研究[J]. 电子测量技术,2013,36(3):71-75.

[9] 周朝阳,许建平,徐国卿. 基于 FPGA 的多通道串行 A/D 转换器的控制器设计[J]. 现代电子技术,2008,31(20):55-58.

[10] 陆绮荣,邹自明. 基于双 CPU 逻辑分析仪的设计与实现[J]. 仪器仪表学报,2006,27(S2):1523-1524.

[11] 杨智明,俞洋,姜红兰. 便携式数字信号处理课程实验教学平台设计[J]. 实验室研究与探索,2014,33(1):76-80.

[12] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565.

[13] 田芳宁. 逻辑分析仪自动测试系统设计与实现[J]. 电子测量技术,2014,37(3):86-88.

[14] 付平,徐聪,尹洪涛. 基于 SOPC 的逻辑分析 IP 核设计[J]. 电子测量技术,2011,34(7):75-79.

[15] OUDJIDA A K, Berrandjia M L, Liacha A. Design and test of general-purpose SPI master/slave IPs on OPB bus[C]. Systems Signals and Devices (SSD), 2010:1-6.

作 者 简 介

许可行,1993 年出生,本科,研究方向为电子电路设计与应用,嵌入式系统技术。

E-mail: super_kexing@sina.com

吴帅,1982 年出生,博士研究生,研究方向为军事信息。

周晓华,1980 年出生,研究方向为军事信息。