

低噪声合成调频信号发生器的设计

朱 健¹ 王文廷²

(1. 中国电子科技集团公司第四十一研究所 蚌埠 233006; 2. 电子信息测试技术安徽省重点实验室 蚌埠 233006)

摘 要:为了满足大容量的现代军事通信测试需求,要求合成信号发生器具有极低的相位噪声、高速率、大频偏的高精度调频性能,而传统的合成信号发生器不能满足使用要求。介绍了一种低噪声合成调频信号发生器的设计方案和工作原理,包括了锁相环路和锁频环路。重点讨论了低噪声延迟线鉴频器的实现方法和在降低信号相位噪声方面的作用,以及如何利用多点频率调制、数字化调频、高速率大频偏线性调频等关键技术,克服锁相环路和锁频环路对调频性能的限制,实现高速率、大频偏的调频能力。设计信号相位噪声可达 -125 dBc/Hz(1 GHz, 10 kHz 频偏)、最大调频速率可达 10 MHz、最大调频频偏可达 10 MHz,是传统合成信号发生器所无法比拟的。

关键词:低损耗延迟线; 低噪声鉴相器; 多点频率调制; 数字化调频

中图分类号: TN98 **文献标识码:** A **国家标准学科分类代码:** 510.99

Design of low noise synthesis FM signal generator

Zhu Jian¹ Wang Wenting²

(1. NO. 41 Research Institute of CETC, Bengbu 233006, China;

2. Key Laboratory of Electronic Measurement Technology, Bengbu 233006, China)

Abstract: To meet the test requirements of a large capacity modern military communication system. Requires the synthetic signal generator to have very low phase noise, high rate, high deviation and high accuracy frequency modulation performance. But the traditional synthetic signal generator can't meet the requirements. In this paper, the design and principle of a low noise synthesis FM signal generator is introduced, including a phase locked loop and a frequency locked loop. This paper focused on the implement method of low noise delay line discriminator and the functions of decreasing signal phase noise, how to overcome the limitation of the PLL and FLL to FM performance and how to realize high rate, high deviation frequency modulation by using the key design technology of many paths frequency modulation, digitized FM, high rate high deviation linear FM etc. The signal phase noise is -125 dBc/Hz(1 GHz, 10 kHz offset), the maximum FM rate is 10 MHz, the maximum FM deviation is 10 MHz. It is incomparable to the traditional synthetic signal generator.

Keywords: low loss delay line; low noise phase detector; many paths frequency modulation; digitized FM

0 引 言

随着现代军事通信技术的发展,通信频率覆盖越来越广,由于调幅信号的传播受载波频率的影响,信号幅度波动很大,载波频率不能很高,所以,频率在超短波以上时,一般采用调频或其他调制方式。高速率、大频偏和高精度的低噪声调频信号对大容量的军事通信是极其重要的。特别是当频率处于中波或短波时,精确的调频信号对特定的军事通信是有好处的。传统合成信号发生器的信号相位噪声只能达到 -105 dBc(1 GHz, 10 kHz 频偏),射频段

调频速率可达 100 kHz,调频频偏可达 400 kHz,显然不能满足现代军事通信的测试需求。

设计低噪声合成信号发生器仅仅利用通常的 PLL 技术是达不到极低的相位噪声特性的,本设计采用了两个负反馈环路:1)单环高分辨率锁相环路^[1];2)宽带低噪声延迟线鉴频器锁频环路。两个环路的组合,使输出信号的相噪更低,频率稳定度更高。众所周知,关于合成信号发生器,在 PLL 和 FLL 带宽内,调制信号引起的相位和频率变化,PLL 和 FLL 会产生抵消作用。为了获得满足需求的调频性能,通过采用数字化调频和多点线性调频的设计技

术,突破了传统合成信号发生器提供高速率、大频偏调频能力的障碍,同时改善了调频性能和群时延特性。通过数字化调频和高速率、大频偏线性调频以及 DC 调频和 AC 调频的有机结合,达到了最佳的使用效果。

1 基本工作原理与方案设计

如图 1 所示,本设计包含两个负反馈回路,单环路高分辨率锁相环路实现频率的合成和精细的频率分辨率,由快速调谐 VCO、小数分频电路、鉴相器、环路增益补偿电路和环路滤波器组成^[2]。同时加入功放、功分、延迟线、可调移相器、鉴相器、低噪声积分放大器和环路增益补偿电路,构成宽带低噪声延迟线鉴频器锁频环路。锁相环路提供合成稳定的输出信号用于锁频环路的频率校准和锁定,

延迟线鉴频器检测射频输出信号的频率误差及调频噪声,并负反馈作用于 VCO 的调谐端口,稳定输出频率及改善相位噪声^[3]。

在许多应用场合,单独的 PLL、FLL 不能提供最好的性能。例如,PLL 具有较窄的环路带宽^[4],在近载处有很低的相位噪声,输出信号与参考信号相位相关。与此对照,FLL 具有较宽的环路带宽,在中载和远载处最能改善相位噪声。通过 PLL 和 FLL 的组合,可以获得两者的优点。来自 PLL 和 FLL 的鉴相输出电压通过不同的环路增益补偿电路,共同作用于 VCO 的调谐控制端口,使 FLL 鉴频器不会强制工作在偏置状态,鉴频器具有最大灵敏度和最好的线性。如此组合 PLL 和 FLL,保证两个环路都处于最佳工作状态^[5]。

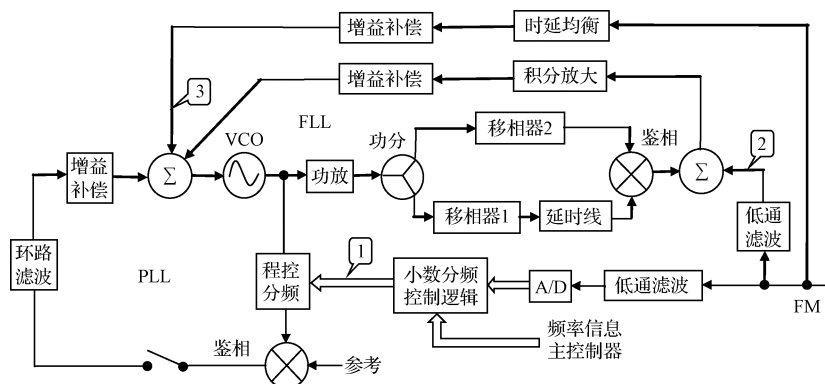


图 1 包含 PLL 和 FLL 的合成信号发生器及调频设计

在合成信号发生器中,频率调制的典型方法是多点调制技术^[6]。本设计包含 PLL 和 FLL,为了完成高速率、大频偏的频率调制,调频信号必须同时加在 VCO 调谐端口、PLL 鉴相输出端口和 FLL 鉴频输出端口。一路调频速率在 PLL 带宽以内,一路调频速率在 PLL 带宽以外和 FLL 带宽以内,一路调频速率在 FLL 带宽以外。在整个调制速率范围内,为了获得满意的电路工作点和线性的频率调制,需要设计补偿电路去均衡 3 个调制通路的调频增益和信号时延,防止调频信号失真。

用该方案设计的低噪声合成调频信号发生器技术指标可达到:基波频率范围 500 MHz~1 GHz;单边带相噪 -125 dBc/Hz (1 GHz, 10 kHz 频偏);最大调频速率 10 MHz;最大调频频偏 10 MHz。

2 延迟线鉴频器的实现及对相噪的影响

延迟线鉴频器锁频环路的组成如图 1 所示,延迟线鉴频器的低相位噪声特性可以通过噪声机理来获得。由于两条通路不采用有源器件,故加性相位噪声极小,那么低损耗延迟线、移相器,低损耗、低噪声的鉴相器和低噪声积分放大器是影响锁频环路相位噪声的决定因素,这里需解决低损耗和低噪声的问题。

RF 功率放大器放大输入信号,用于补偿延迟线鉴频

器通路的损耗,提高鉴频灵敏度。功分器采用四线兰格耦合器,有 50 Ω 的输入阻抗,-1 dB、-7 dB 的功分特性,以平衡延迟线的损耗,使输入至鉴相器两端的信号功率大致相等。延迟线采用 50 Ω 半刚同轴电缆,这样具有较小的插入损耗。鉴相器采用低损耗、低噪声的双平衡混频器,注意它应具有很高的交调截止点^[7]。由于 FLL 的宽带特性,要求低噪声积分放大器频带宽、噪声低、温度稳定性好和饱和恢复时间快^[8]。最好的温度稳定放大器是电路对称性好和恒流源偏置的差分放大对。低噪声积分放大器采用低噪声、低温漂的对管,结成热耦合的差分放大对。为了解决饱和和恢复时间快的问题,常在晶体管的集-基结上接入反偏置的肖特基二极管。

延迟线鉴频器中比较关键的部件是延迟装置,通常采用半刚同轴电缆制作,可以减小插入损耗,不引入加性相位噪声。延迟时间可用式(1)表示:

$$L = \tau V_0 / \epsilon_r^{1/2} \quad (1)$$

式中: τ —延迟时间,s; L —电缆长度,m; ϵ_r —介质的相对介电常数; V_0 —电磁波在真空中的传播速率,m/s。

半钢电缆介质材料为聚四氟乙烯,相对介电常数为 2.5,当 $\tau=70$ ns,可算出 L 约为 13.3 m。由于热胀冷缩,延迟时间受环境温度的影响,需要进行恒温,延迟电缆很长,给结构设计和恒温带来了困难,必须进行绕制,而不适

当的绕制会影响电缆的群时延特性,从而影响到某个频率点信号的相位正交,使鉴频器工作在非线性区。根据半钢电缆的特性,曲率半径不能小于 17 mm,否则对电缆传输阻抗及群时延特性有较大影响^[9]。制作模具进行绕制,控制电缆绕制的曲率半径,达到了很好的群时延特性和一致性,群时延最大不平坦度可以控制在 1 ns 范围内。如图 2 所示,绕制成形的延迟线结构尺寸控制在合理范围内以利于恒温和放入机箱。电缆绕制时表面涂抹固化导热胶,利用氯丁橡胶或硅橡胶等分布式加热片,用胶布紧贴于电缆表面起均匀加热作用。温控板置于电缆线圈内,利用驱动管本身的散热以达到最快的热平衡。最后,附带加热片和温控板的成形电缆置于屏蔽盒内,并用隔热材料保温,温控电路设置 40℃ 恒温(仪器最高工作环境温度)。

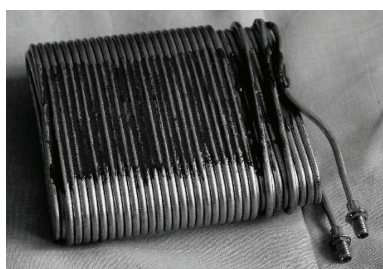


图 2 绕制成形的延迟线

功分后的信号分别加于两路,一路为可调移相器 1 和延迟线,一路为可调移相器 2。移相器 1 用于补偿延迟线的群时延频响。如图 3 所示,移相器 1 由两路不同长度的短传输线组成,移相器 2 由 3 路不同长度的短传输线组成,损耗很小。由数字信号控制 PIN 开关,导入不同的相移量。当频率不变时,调节两路移相器使两路信号相位正交,这时鉴相器输出电压为 0^[10],鉴相器工作在线性区,对相位变化的灵敏度最高,而对幅度调制的抑制最大。当输入频率改变时,由于延迟线的作用,两路信号间的相位关系会发生改变,鉴相器的输出电压不为零,通过积分放大器反馈至 VCO 调谐端口,稳定 VCO 的输出频率,同时改善相位噪声。

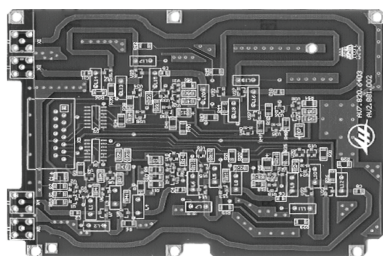


图 3 可调移相板

加入延迟线鉴频器 FLL 以后, f_m 频偏处,VCO 每 Hz 带宽的信噪比可表示为^[11]:

$$S/N(f_m) = 10 \log_{10} [2P_A(f_m/f_1)^2 / KTF] \quad (2)$$

式中: f_m —频偏,Hz; $f_1 = 1/(2\pi\tau)$, τ —延迟时间,s; P_A —延迟线的输出功率,W; K —波耳兹曼常数; T —绝对温度,

K ; F —通路的噪声系数。

可以看出,采用无源的延迟线和移相器,不引入加性相位噪声,降低损耗可以提高鉴相器的输入信号功率,采用低噪声鉴相器和积分放大器,可以减小通路的噪声系数,二者均可改善输出信噪比。当 $f_m = 10$ kHz 时,可以得到理论上的相位噪声极限为: -140 dBc/Hz。

3 整机调频方案的设计考虑

如图 1 所示,为了完成整机的调频性能,调制信号经过一系列不同处理分别加在标注 1 处(PLL 程控分频器),标注 2 处(FLL 鉴相输出),标注 3 处(VCO 调谐端口)。

调制信号经低通滤波、采样保持后,A/D 变换为数字信号,包含了调频速率、调频频偏等信息,与载波频率的数字信号共同进入小数分频控制逻辑电路(标注 1 处),无调频时,载波频率决定了 PLL 分频数的大小,有调频时,同步进入小数分频控制逻辑的数字调制信号,控制 PLL 的瞬时分频数,从而改变 VCO 输出频率,达到数字化调频的目的。PLL 及数字化调频设计框图如图 4 所示。相位补偿控制和相位补偿 DAC 电路消除小数分频产生的相位调制边带,改善信号近载相位噪声。数字化调频速率在 PLL 带宽以内,调频频偏通过改变分频数而实现,频偏可以做得很大,但调频频偏的增大会恶化信号相位噪声,尤其是近载相位噪声。在 1 GHz 载波,10 Hz 偏离处,调频频偏设为 100 Hz 时相位噪声约为 -80 dBc/Hz,频偏设为 100 kHz 时相位噪声上升了 35 dB,频偏设为 10 MHz 时相位噪声又上升了 40 dB,达到了一 5 dBc/Hz。所以,数字化调频的最大频偏一般只做到 10 MHz。由于 ADC 的输出控制远比 VCO 的模拟调谐曲线精密,频偏精度可以做得很高,实现了高精度的锁相调频。与 ADC 有关的剩余漂移远远小于开环 VCO 的漂移,大大降低了线性 DCFM 工作时载波频率的偏移和漂移,另外,这种方法没有将调制信号直接加到 PLL 鉴相输出,最大好处是会产生多余的杂散^[12]。

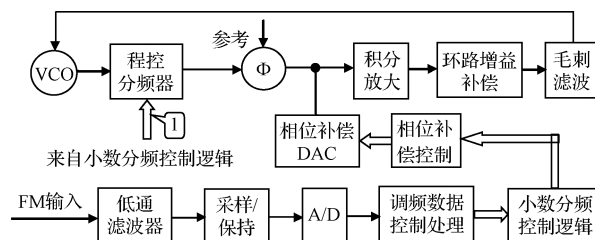


图 4 PLL 及数字化调频设计

数字化调频也有自身的缺陷,由于信号的数字化和同步进入小数分频控制逻辑都需要时间,在 PLL 带宽内会产生 30 μ s 的群时延。群时延的变化会导致调频信号的失真,有时还会引起 PLL 失锁,另外 ADC 的量化步进也会导致相位的不连续。所以,本设计保留了线性调频方式,通过采用多点频率调制技术,实现了跨环路带宽的调频。

多点线性调频设计框图如图 5 所示,设计宽带、高速

率线性模拟调频通路,允许高达 10 MHz 的调制信号通过,分别将调制信号加到 VCO 调谐端口和 FLL 鉴相输出端口,进行多点频率调制。为了防止调频衰减,调制信号加在 FLL 鉴相输出与低噪声积分放大器之间。为了防止调频信号失真,设计了增益补偿电路和时延均衡网络去平衡多个调频通路的调频增益和信号时延。当调频速率小于 2 MHz(FLL 带宽)时,调制信号经低通滤波后加到 FLL 鉴相输出端口(标注 2 处),再经过低噪声积分放大器、调频增益补偿电路加到 VCO 调谐端口。调频速率大

于 2 MHz 时,调制信号经调频增益补偿电路直接加到 VCO 的调谐端口(标注 3 处)。当输入到 FLL 鉴相器的两路信号相位正交时,鉴相输出电压在 0 V 附近(0 点),鉴相器工作在线性区,这对实现低失真调频非常重要。实际上,调制信号加到 FLL 鉴相输出端,相当于在鉴相输出附加了一个调频偏置电压,实现了锁频环路带宽内的调频,却使鉴相器偏离了最佳工作点(0 点),而工作在线性区。为了保证在整个调频范围内调频灵敏度的一致性,设计了多级调频增益进行补偿。

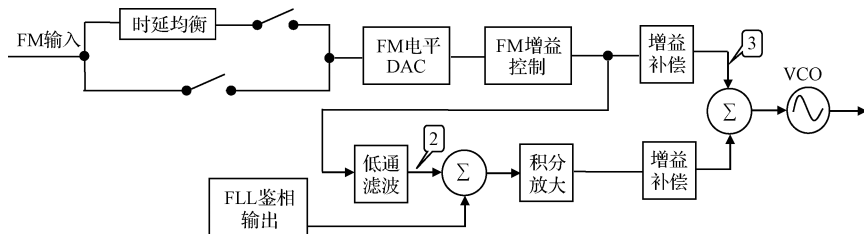


图5 多点线性调频设计框图

下面分析一下延迟线鉴频器 FLL 的带宽和最大调频频偏。根据延迟线鉴频器的组成,其传输函数 $G(f_m)$ 即从输入端的 RF 调频到输出端的音频解调可表示为:

$$G(f_m) = \Delta V(f_m) / \Delta f(f_m) = 2\pi K_\phi \tau \sin(\pi \tau f_m) / (\pi \tau f_m) \quad (3)$$

式中: K_ϕ —鉴相器的鉴相灵敏度, V/rad; f_m —调制频率, Hz; τ —延迟线延迟时间, s。

当调制频率不超过 $1/2\pi\tau$ 时(当 $\tau=70$ ns 时,调制频率为 2.27 MHz), $G(f_m) \approx 2\pi K_\phi \tau$ (鉴频灵敏度)几乎是一个常数,调频灵敏度是鉴频灵敏度的倒数,即 $1/(2\pi K_\phi)$ Hz/V。

锁频环路的总增益 G_L 可表示为:

$$G_L = 2\pi K_\phi K_V \tau G / (f_p + j f_m) \quad (4)$$

式中: K_V —VCO 调频灵敏度, Hz/V; G —积分放大器开环增益; f_p —积分放大器单极点频率, Hz。

当锁频环路带宽定义为环路增益为 1 的频率时,环路带宽可表示为:

$$B_L = 2\pi K_\phi K_V \tau G (f_m > f_p) \quad (5)$$

延迟线鉴频器的调频灵敏度 $1/(2\pi K_\phi)$ 约为 3 MHz/V, VCO 调频灵敏度约为 10 MHz/V, 积分放大器的开环增益为 $10^5 \sim 10^6$, 锁频环路的带宽可以做到 2 MHz^[13]。

从式(2)、(3)可知:延迟线越长,鉴频灵敏度越高,调频灵敏度越低,降低信号相位噪声的同时限制了最大调频频偏。为了兼顾降噪和最大调频频偏的需求,选择延迟时间为 70 ns。因 FLL 鉴相器采用双平衡混频器,最大等效相偏为 $\pi/2$ 。当 $\tau=70$ ns 时,由 $\Delta\Phi=2\pi\Delta f\tau$ 可得最大频偏为 3.57 MHz,为保证具有一定的调频灵敏度,最大相偏取 $\pi/4$,对应最大频偏为 1.78 MHz。所以,使用 FLL 时,最大调频速率为 10 MHz,最大调频频偏为 1.78 MHz。

整机调频方式根据 PLL、FLL 和 3 个调制信号注入点的取舍分为数字调频和线性调频两种。数字调频:1)使

用 PLL 和 FLL,保留标注 1、标注 2、标注 3 点频率调制; 2)使用 PLL,关闭 FLL,保留标注 1、标注 3 两点频率调制。线性调频:1)使用 PLL 和 FLL,保留标注 2、标注 3 两点频率调制; 2)使用 FLL,关闭 PLL,保留标注 2、标注 3 两点频率调制; 3)使用 PLL,关闭 FLL,保留标注 3 频率调制。当打开线性调频,关闭数字调频时,宽带、高速率模拟调频通路将高达 10 MHz 的调制信号直接加到 VCO 调谐端口,改善了群时延特性,群时延小于 $1 \mu\text{s}$,典型值为 $0.1 \mu\text{s}$ 。各种不同调频方式具有不同的调频性能,充分满足不同的应用要求。

4 测试结果

使用 HP3048A 相位噪声测试系统分别测试了 1 GHz 载波下,PLL 单独工作时的 PLL、FLL 组合工作时信号的相位噪声曲线如图 6 所示。在 1~100 kHz 频偏范围内,加入延迟线鉴频器锁频环路,相位噪声优化了 10~20 dB,噪声曲线符合理论预期,测试结果达到了 -125 dBc/Hz (1 GHz, 10 kHz 频偏)的设计指标要求。

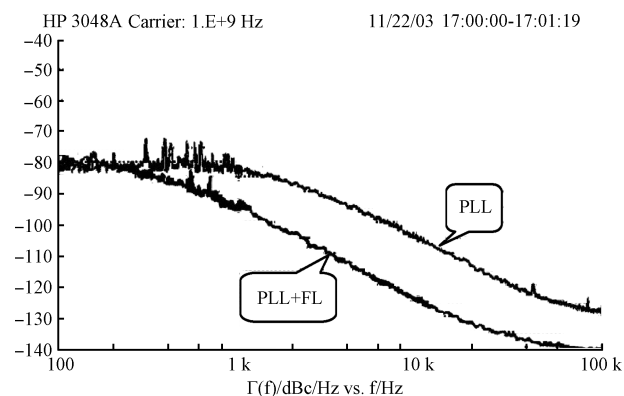


图6 PLL、FLL 及两者组合的实测相噪曲线

使用 AV4036 频谱分析仪和 HP8902A 测量接收机进行调频性能的测试,测试结果如表 1 所示。

表 1 1 GHz 载波、1 kHz 调频速率,最大频偏下测试结果

	最大频偏 设置值/MHz	载波频差/ kHz	频偏设置的 百分比/%	频偏测试值/ MHz	频偏设置的 百分比/%	10 MHz 速率下频偏 测试值/MHz	3 dB 带宽/ dB
数字调频 1)	1.78	0.69	± 0.1	1.771	± 1	1.565	-1.12
数字调频 2)	10	-2.1	± 0.1	9.95	± 1	9.14	-0.78
线性调频 1)	1.78	-1.12	± 0.1	1.769	± 5	1.52	-1.37
线性调频 2)	1.78	9.86	± 1	1.699	± 5	1.484	-1.58
线性调频 3)	10	33	± 0.1	9.75	± 5	8.66	-1.25

载波频率为 1 GHz 时,数字调频:当使用 PLL 和 FLL 时,最大调频速率 10 MHz,最大频偏 1.78 MHz;当使用 PLL,关闭 FLL 时,最大调频速率 10 MHz,最大频偏 10 MHz。数字调频:载波频率精度为频偏设置的 0.1%,频偏精度为频偏设置的 1%(调频速率小于 1 kHz)。线性调频:当使用 PLL 和 FLL 时,最大调频速率 10 MHz,最大频偏 1.78 MHz,载波频率精度为频偏设置的 0.1%;当使用 FLL,关闭 PLL 时,最大调频速率 10 MHz,最大频偏 1.78 MHz,载波频率精度为频偏设置的 1%;当使用 PLL,关闭 FLL 时,最大调频速率 10 MHz,最大频偏 10 MHz,载波频率精度为频偏设置的 0.1%。线性调频:频偏精度为频偏设置的 5%(调频速率小于 1 kHz)。测试结果达到了最大调频速率 10 MHz,最大调频频偏 10 MHz 的设计指标要求。

5 结 论

通过锁相环路和延迟线鉴频器锁频环路的优化组合,输出射频信号的相位噪声在近载、中载和远载处都有所改善,在 10 kHz 频偏处相位噪声至少改善了 20 dB,达到 -125 dBc/Hz(1 GHz,10 kHz 频偏)。在数字调频时,最大调频速率 10 MHz,最大调频频偏 10 MHz,载波频率精度为频偏设置的 0.1%,频偏精度为频偏设置的 1%(调制速率小于 1 kHz),PLL 带宽内有约 30 μ s 的群时延,温漂小。在线性调频时,最大调频速率 10 MHz,最大调频频偏 10 MHz,载波频率精度为频偏设置的 1%,频偏精度为频偏设置的 5%(调制速率小于 1 kHz),有温漂,群时延小于 1 μ s,典型值为 0.1 μ s。

数字调频的群时延是调频速率的函数,在 PLL 带宽内是常量,对单音调频或低速率调频信号并不产生影响。对高速率调频信号,数字调频频时延的变化会引起调频信号的严重失真,只能使用线性调频。AC 耦合调频是在 DC 耦合调频的基础上,调制信号 AC 耦合而形成的。使用线性 DC 耦合调频时 PLL 需要失锁,低速率调频才不会被环路反馈抵消,但会造成载波频率偏移和漂移,对一些应用会有问题。可以使用线性 AC 耦合调频,保持环路的锁定,获得最好的群时延平坦度和精确的载波频率,但线性 AC 耦合调频速率的低端受锁相环路带宽的限制,一般

为几百 Hz。若允许较高的低端调频速率,当载波频率偏移误差、数字调频频时延变化影响使用或由于方波调制而引起环路失锁时,使用线性 AC 耦合调频是很有用处的。

参 考 文 献

- [1] 肖江涛,韩前进,王健,等. 基于 HMC983/984 的宽带射频源的设计[J]. 电子测量技术,2016,39(4):18-22.
- [2] 刘青松,刘亮,范吉伟,等. 基波变频技术在频率合成器中的应用研究[J]. 国外电子测量技术,2016,35(5):66-69.
- [3] 胡骥,程明,叶宝盛,等. 锁频环加锁相环方案的设计和实现[J]. 通信对抗,2016,35(2):30-33.
- [4] 杨晓霞,孟浩然,张斌,等. 大型光电系统跟踪带宽设计方法研究[J]. 电子测量与仪器学报,2014,28(12):1382-1388.
- [5] 许志鹏,崔琛,余剑. 基于锁频环与锁相环相结合的载波跟踪技术[J]. 电讯技术,2012,52(4):558-561.
- [6] 赵立新,郭利强,盛振旗. 信号发生器中的宽带调频技术研究[J]. 国外电子测量技术,2009,28(6):35-37.
- [7] 蔡文新,潘健. 双平衡式微波鉴相器的模拟研究与电路实现[J]. 大众科技,2009(9):37-38,42.
- [8] 刘青松,樊晓腾,刘亮,等. 一种宽带低噪声信号发生器:山东,CN105049036A[P].
- [9] 姜茂盛,刘美法,余小葵,等. 超低损耗稳相微波同轴电缆的研制[J]. 光纤与电缆及其应用技术,2015(4):12-15.
- [10] 肖江涛,赵苏宇,何鹏,等. 基于频率合成的射频扫描源的设计[J]. 国外电子测量技术,2011,30(7):56-58.
- [11] 朱健. 利用锁频环路的快速跳频合成信号发生器[J]. 国外电子测量技术,2008,27(4):58-61.
- [12] 郭淦水. 数字通信测量仪器[M]. 北京:人民邮电出版社,2007.
- [13] 李立功. 现代电子测试技术[M]. 北京:国防工业出版社,2008.

作 者 简 介

朱健,高级工程师,主要研究方向为微波通信测量仪器的研发。

E-mail:wanzhe45@126.com

王文廷,高级工程师,主要研究方向为通用测试仪器的研发。

E-mail:wwt743@sohu.com