

基于 FPGA 的可配置时序信号发生系统设计

卫建华 刘琪 齐攀 王亚峰 景晶晶
(西安工程大学电子信息学院 西安 710048)

摘要:为了满足测试环节对特殊时序信号的要求,设计了一种可配置时序信号发生系统,可实现多路时序信号的输出。该时序信号发生系统由上位机和下位机两部分组成,上位机软件对输出的时序信号进行配置,下位机采用 STM32+FPGA 相结合的硬件结构,实现配置后的多路时序信号输出。由于下位机的 STM32 芯片与 FPGA 采用两个不同的时钟,因此在 FPGA 内使用异步 FIFO 实现与 STM32 芯片的数据通信,有效实现了两者之间的并行数据传输。

关键词:时序信号; FPGA; STM32; FIFO

中图分类号: TN784 **文献标识码:** A **国家标准学科分类代码:** 510.4010

Design of configurable timing signal generator based on FPGA

Wei Jianhua Liu Qi Qi Pan Wang Yafeng Jing Xiaoxiao
(School of Electronics and Information, Xi'an Polytechnic University, Xi'an 710048, China)

Abstract: In order to meet the requirements of the special timing signal in the test section, a configurable timing signal generation system is designed to realize the output of the multi-channel timing signal. The signal generating system consists of two parts: the host computer and the slave computer. The host computer software is used to configure the output timing, and the slave computer using hardware structure through combination of STM32+FPGA. As the STM32 chip of the slave computer and FPGA using two different clocks, so the design uses asynchronous FIFO in the FPGA chip to achieve data communication to STM32, which can achieve effectively the parallel data transmission between the two.

Keywords: timing signal; FPGA; STM32; FIFO

0 引言

时序发生系统^[1-2]在雷达^[3-6]等测试系统中使用频率高,技术复杂,其优劣直接决定着雷达测试系统的工作性能,因此对时序发生系统的研究受到了研究者的长期关注。由于新型雷达的相继出现,所以对雷达测试信号源^[7-10]的软件开发、存储能力、输出时序信号的种类、数据传输等提出了更多的要求。而 FPGA^[11]的某些特性满足了上述要求,最主要的性质有 FPGA 是现场可编程门阵列,I/O 资源丰富,具有很强的灵活性,内部逻辑功能方便配置,易于电路的维护和升级。相对于传统的逻辑器件,FPGA 能够很大程度缩短实验时间。而且 FPGA 的调试比较方便,更适合特种测试系统信号源的开发。FPGA 中集成的 IP 核存储器能够像硬件一样嵌入到 FPGA 结构中,使得软硬件的协同工作更加灵活,该优点大大体现在雷达等复杂信号处理系统^[12-13]。

该时序信号发生系统的 FPGA 采用 Altera 公司的 CycloneIV 系列器件,目的在于使用该 FPGA 器件的 FIFO^[14]等功能,使用硬件描述语言在 Quartus II 开发环境中进行设计,可以完成硬件设计、仿真、综合、测试、编程与配置的整个流程,所以很大程度上简化了设计的过程,提升了设计效率,而且能够根据实际需要进行灵活的修改,满足可配置时序信号源的设计需求^[15-16]。

1 可配置时序信号发生系统

可配置时序信号发生系统主要由上位机和下位机两部分组成,二者之间主要采用串口通信的方式,其组成框图如图 1 所示。上位机可以采用计算机,如果考虑便携性,也可以采用触摸屏的方式。下位机的硬件主要包括 FPGA 和 STM32 芯片,两者之间通过 FSMC 并行总线进行连接。FPGA 后面接磁耦隔离芯片,经过隔离电路后输出所需的时序信号。

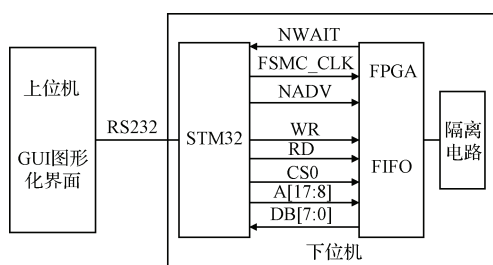


图1 可配置时序信号发生系统组成

2 FPGA 中的 FIFO

由于 STM32 芯片与 FPGA 采用两个不同的时钟,因此在 FPGA 内使用异步 FIFO(first in first out, 先进先出的数据缓存器)来实现与 STM32 芯片的数据通信。

FPGA 或者 ASIC 中用到的 FIFO 一般指的是对数据的存储具有先进先出性质的存储器,常被用于高速异步数据的交互或者数据缓存。与普通存储器不同的是,FPGA 中的 FIFO 没有外部读写地址线,只能顺序写入数据和读出数据,其数据地址由内部读写指针自动加 1 完成。FIFO 分为两个完全独立的时钟域:读时钟域和写时钟域。FIFO 通常是双端口的存储器,一个端口用于写入数据,另一个端口用于读出数据,可以同时存储器的存储单元进行写入和读出操作。FIFO 的内部结构如图 2 所示。

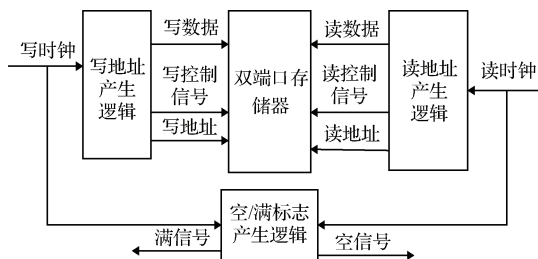


图2 FIFO 内部结构图

该设计使用异步 FIFO 独立的读写时钟结构,能够将不同时钟域中的数据同步到所需的时钟域系统中。设计使用 Altera 软件提供的免费 FIFO IP 核,Quartus II 软件为用户提供了良好的图形化界面方便用户对 FIFO 的各种参数和结构进行配置,生成的 FIFO IP 核针对 Altera 不同系列的器件,可实现结构上的优化。

3 FPGA 与 STM32 程序设计

下位机采用 STM32 + FPGA 双核心工控板,其中 STM32 芯片采用 Coretex-M4 内核的 STM32F407IGT6,其不但具有 168 MHz 主频、FPU 浮点单元、DSP 指令集等高性能特性,而且具有多外设、多接口及多 I/O 特性。FPGA 核心采用 Altera Cyclone 系列第 4 代产品 EP4CE10F17C8N,具有功耗低、性能强、资源多、使用方便等优点,可完成并行处理、实时性处理及逻辑管理等功能。

FPGA 逻辑电路设计是多路时间序列发生系统设计的核心,其性能指标将直接影响系统的技术指标。FPGA 设计部分主要分为 3 个模块,写控制模块、读控制模块、FIFO 模块,在 Altera 的开发环境 QuartusII 15.0 下使用 Verilog HDL 语言编写完成。FIFO 通常用于不同时钟域之间的数据传输,其参数设置主要有深度、宽度、空标志、满标志、写时钟、读时钟等,该设计通过 QuartusII 15.0 软件中的 IP 核生成的 my_fifo 宽度为 8 Byte,深度为 256 Byte。

STM32 的主要任务是接收上位机通过 RS232 总线接口传输过来的数据,并且将数据转换后通过并行的方式传输给 FPGA。其中包括数据接收程序、数据转换发送程序。数据接收程序主要是接收上位机向 STM32 发送过来的数据,该数据通过 RS232 数据总线发送,当系统上电并稳定后,数据接收程序检测串口模块是否有错误。数据转换发送程序主要是将接收的串行数据转换为并行数据并通过 8 位并行的方式将转换后的数据发送给 FPGA 进行处理。

本系统中 STM32 到 FPGA 的通信是通过 FSMC 并行总线实现的并行数据传输。在实现基本数据通信的基础上,实际了一种格式简洁、可靠性强、通用性强的通信协议。STM32F4 的 FSMC 支持 8/16/32 位数据宽度,这里用的是 8 位宽度。FSMC 总共管理 1 GB 空间,拥有 4 个存储块(bank),本设计使用块 1。STM32 与 FPGA 进行通信的时候,FPGA 可以看作是 STM32 外部的 SRAM,外部 SRAM 的控制包括地址线、数据线、写信号、读信号、片选信号等。

4 调试及试验结果

4.1 FIFO 数据测试

运用 Modelsim 软件对 FIFO 数据部分进行仿真,为了观测方便,这里写入数据为 0~255 共 256 个数据,仿真结果图如图 3 所示。从仿真结果中可以得出,当系统复位结束后,由于 FIFO 中没有任何数据,所以写空信号为高电平(即为“1”),当写入一个数据之后,写空信号变为低电平(为“0”),写满信号一直为低电平(为“0”)。当输入数据到达 256 个时,写满信号变高,并经过几拍之后,读满信号变成 1(这是由 FIFO 内部结构导致的),当读出一个数据之后,读满信号马上就拉低。当读出的数据达到 256 个后,读空信号变为高电平,经过几拍之后,写空信号变为高电平(由 FIFO 内部结构决定),之后开始重新写数据,开始循环。可以观测出写入的数据与读出数据一致,时序仿真正确。

将程序下载到电路板上,打开 SignalTap II 嵌入式逻辑分析仪对实际结果进行分析验证,结果如图 4 所示。当写请求信号 wrreq 为高电平时,开始向 FIFO 写入数据。当数据写满时,停止写入,读请求信号 rdreq 变为高电平,开始读出数据,直到 256 个数据全被读出。接着重新写入数据,再次读出数据,如此循环。从图 4 可以观测出,写入数据和读出数据(0~255)的顺序与大小一致,测试结果正确。

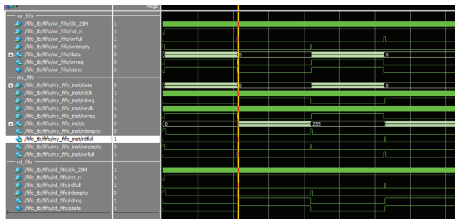


图3 Modelsim 仿真结果图

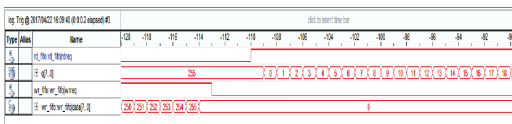


图4 SignalTap II 嵌入式逻辑分析仪结果

4.2 时序信号测试

该设计的测试仪器采用 RIGOL 的 MSO4054 示波器,该示波器的带宽为 500 MHz,采样率高达 4 GSa/s,具备逻辑分析的功能,共 16 个数字通道(MSO),同时对 RS232 等总线数据进行测量。将示波器的逻辑分析仪探头与时序信号发生器输出端相连,通过上位机配置时序,通过示波器观测到输出的 10 路时序信号如图 5 所示。

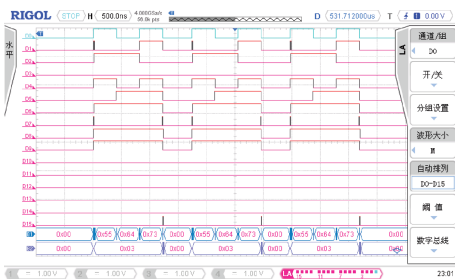


图5 10路时序信号输出

5 结论

作为一种特种信号源,本文设计的时序信号发生系统可以按照配置要求实现所需多路时序信号的输出,配置的数据通过串口传输给 STM32 芯片,然后 STM32 芯片将接收的串行数据转换为并行数据后将数据传输给 FPGA 芯片,FPGA 按照配置要求产生所需的多路时序信号。文中重点阐述了异步 FIFO 的设计过程,用以解决 STM32 芯片与 FPGA 时钟不同带来的问题,最终实现了多路时序信号的产生。

参考文献

[1] 王鹏,吕志刚,杜卫东. 基于 FPGA 与 ARM 的多路时序控制系统设计与实现[J]. 计算机测量与控制, 2012,20(6):1540-1543.

[2] 杨光,朱宏飞. 基于 PXI 总线多通道时序监测电路系统设计[J]. 计算机测量与控制, 2016, 24(3): 214-217.

[3] 李佳宁,王秀梅,李芙蓉. 雷达测速技术[J]. 信息通信, 2013(3):286-287.

[4] 张海燕,汪润,万健中. 基于 IRife 算法的高精度 LFM-CW 雷达测距方法[J]. 电子测量与仪器学报, 2017, 31(2):251-256.

[5] 李兆铭,杨文革,丁丹,等. 多雷达实时定轨的一致性分布式容积信息滤波算法[J]. 仪器仪表学报, 2016, 37(8):1833-1842.

[6] 顾振杰,刘宇. 基于 FPGA 的宽带雷达回波信号处理板设计[J]. 国外电子测量技术, 2017,36(1):74-78.

[7] 柳春,甘泉. 基于 FPGA 的雷达信号源设计[J]. 电子技术应用, 2013, 39(11):47-49.

[8] 吕波,宋瑶,朱四红,等. X 波段雷达灵敏度测试信号源的设计与实现[J]. 测控技术, 2012, 31(3):15-18.

[9] 王龙,杨承志,吴宏超,等. 基于 FPGA 的数字基带多模雷达信号源设计[J]. 电子技术应用, 2016, 42(8): 87-90.

[10] 杜江,房海华. 用于雷达故障诊断的综合信号源设计方案研究[J]. 工业技术创新, 2016,3(2):247-251.

[11] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报, 2014,28(5):560-565.

[12] 刘艳昌,左现刚,李国厚. 基于 FPGA 的多功能信号发生器设计与实现[J]. 制造业自动化, 2014,36(20): 100-104.

[13] 沈子文,徐科军,方敏,等. 基于能量变化率的气体超声波流量计信号处理方法[J]. 仪器仪表学报, 2015, 36(9):2138-2144.

[14] 黄凡. 一种基于 FPGA 的异步 FIFO 设计方法[J]. 微处理机, 2017,38(1):23-26.

[15] 陶彦辉,刘克毅. 基于 FIFO 写数据方式的 USB 接口信号发生器设计[J]. 机械工程与自动化, 2015(4): 94-96.

[16] 孔德杰,宋悦铭,毛大鹏. 高精度中频双极性 PWM 信号发生器的 FPGA 实现[J]. 国外电子测量技术, 2015,34(11):32-34.

作者简介

刘琪,1994 年出生,硕士研究生,主要研究方向为信号与信息处理。
E-mail:1285995716@qq.com