

基于飞行试验的 AFDX 总线采集技术研究

王仲杰 蒋红娜

(中国飞行试验研究院 西安 710089)

摘要:针对 C919 飞机航电 AFDX 总线测试需求,设计了基于 FPGA 的数据采集设备,实现了 AFDX 航电总线的 100%原始数据转发、实时解析功能。主要阐述了 AFDX 总线采集需要实现的功能和采集方案,详细介绍了 AFDX 数据采集设备的软硬件设计,分别进行了仿真测试和航电实验室测试,经验证 AFDX 采集模块对机载 AFDX 总线无干扰,整个实验测试结果正确,AFDX 采集设备工作稳定、可靠,可以满足 AFDX 总线数据的测试需求。

关键词:AFDX 总线;完整性检测;冗余管理

中图分类号: V241.01 TN06 **文献标识码:**A **国家标准学科分类代码:** 590.30

Research on AFDX bus acquisition technology based on flight test

Wang Zhongjie Jiang Hongna

(Chinese Flight Test Establishment ,Xi'an 710089,China)

Abstract: According to the test requirements of C919 AFDX aircraft avionics bus,a data acquisition device based on FPGA is designed, which realized the 100% raw data forwarding and real-time analysis function of AFDX avionics bus. This paper mainly describes the plan for AFDX bus acquisition and detailed introduces the design of AFDX acquisition equipment's hardware and software. Which conduct The simulation test and the avionics laboratory test, the results indicated that the acquisition module has no effect on airborne AFDX bus, and which is correct. In the end, AFDX acquisition module is stable, reliable, and can meet the test requirements of AFDX bus data.

Keywords: AFDX bus; integrity detection; redundancy management

1 引言

随着航空电子系统复杂性的增加,为了满足各种复杂飞行条件安全飞行的需求,提高机载数据总线带宽需求与日俱增。C919 大型客机航电系统数据传输采用 ARINC664 协议,在飞行试验中不仅要求机载测试系统可以 100%采集记录该总线数据,供试飞结束后地面分析,还要求机载测试系统能实时分析、解算数据,并可以从解析后的数据中挑选出重要参数编码输出,最终实现数据的实时共享。例如发送关键数据至机上试飞工程师实时监控台、遥测下传到地面等。

目前国内外均没有满足 C919 飞机航电系统数据采集的测试设备。虽然欧洲的空客 A380、美国的波音 787、巴西的 CRJ 系列飞机、国内某飞机数据传输已使用了 ARINC664 总线,但都没有实现该总线的实时解析功能。国内对 ARINC664 的采集只是利用该总线的网络属性,使用网络记录器 100%记录原始数据,飞行结束后对该数据

进行分析。为了满足飞行试验的具体需求,研制 AFDX 总线采集单元,该单元以 FPGA 为核心,监听 AFDX 总线数据,对 AFDX 总线数据进行完整性检测、冗余处理、采集、过滤,为每帧消息加时间戳等功能。

AFDX 总线网络是一个确定性网络,其协议可划分为应用层、传输层、网络层、数据链路层和物理层 5 层^[1]。在应用层应用程序通过 AFDX 端口发送消息,每个 AFDX 端口与本地 UDP 端口对应。在传输层和网络层 AFDX 使用 ARINC 664 Part3 规定的 IP 协议,AFDX 的链路层和普通以太网有较大区别,它具有用于数据传输确定性控制的流量整形和实时调度机制,并引入虚拟链路来保证带宽。在物理层上使用 ARINC 664 Part2 标准,允许连接上的冗余,双重网路提供了更高的可靠性。

2 AFDX 总线采集需实现的功能

AFDX 总线采集模块应能同时采集 2 路 AFDX 数

收稿日期:2017-03

据,对接收到的 AFDX 帧进行完整性检测、余度管理,并根据事先设定的过滤条件对接收到的 AFDX 帧进行筛选过滤,符合要求的 AFDX 帧,将被逐帧附加 AFDX 帧到达时刻的时间标记等信息,处理后的数据经打包后,通过一路以太网口输出保存,待飞行结束后再由地面卸载设备还原,进行事后数据处理;同时在接收到的 AFDX 数据中选择用户关心的参数,按指定的配置表信息存储到对应地址上,供用户提取使用(用户提取数据并生成 IENA 或 iNET-X 网络数据包,通过百兆以太网输出给遥测系统,进行实时监控)^[2]。

AFDX 信号采集模块组成如图 1 所示。

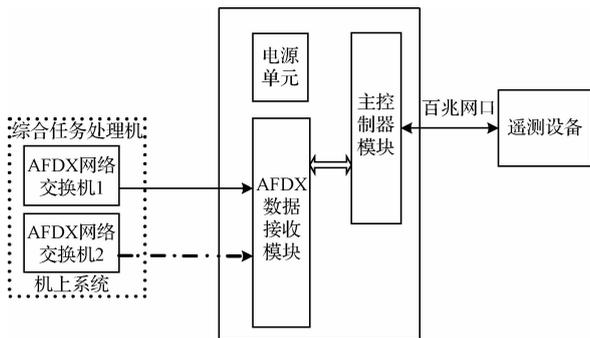


图 1 AFDX 信号采集模块组成

3 AFDX 总线采集方案设计

根据 AFDX 总线采集主要实现的功能,AFDX 总线采集模块主要由网络数据接口、完整性检查及冗余管理去

除冗余帧、100%AFDX 数据帧转发、数据帧过滤和参数挑选、背板总线接口等组成,AFDX 总线采集方案如图 2 所示。其中 AFDX1 和 AFDX2 数据接口输入一路双余度的 AFDX 总线数据信号,供 AFDX 采集模块进行完整性检测和余度管理,同时将余度去除后的 AFDX 数据发送到过滤模块,过滤模块根据配置表中的虚连接(VL)号来决定是否对该帧进行挑参选择,AFDX3 为输出信号,将接收到的 AFDX 数据进行 100%的转发,用于事后处理^[3]。

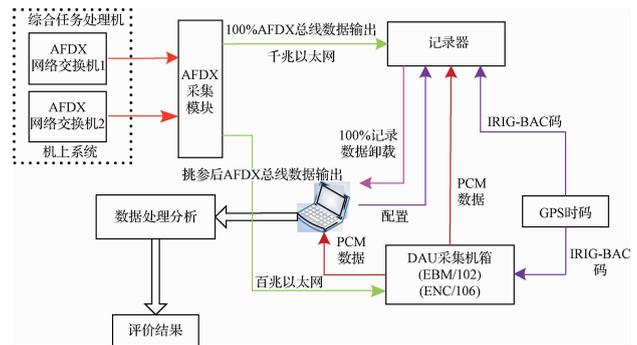


图 2 AFDX 总线采集方案

4 AFDX 总线采集硬件电路设计

AFDX 采集模块电路组成包括 FPGA 及配置电路、AFDX 网络接口电路、电源电路、时钟电路、复位电路和外部存储器扩展电路以及与底板接口。AFDX 信号采集模块的基本结构框图如图 3 所示。

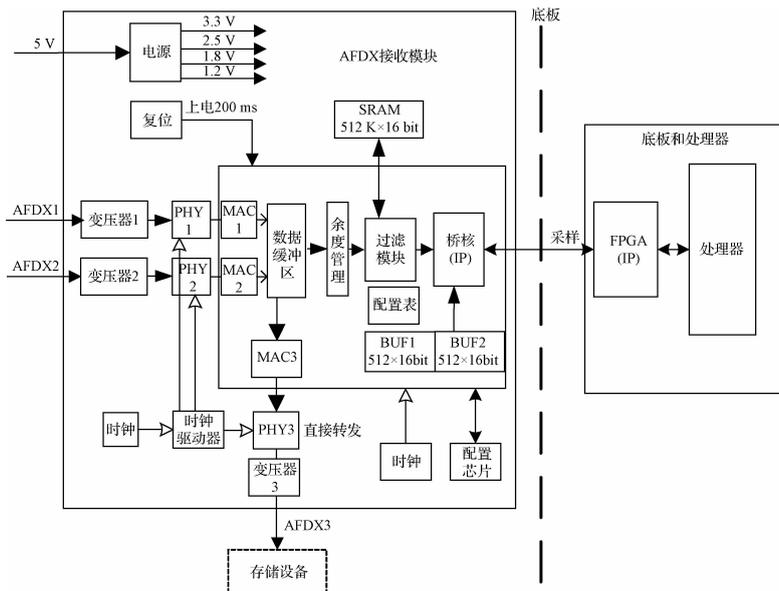


图 3 AFDX 信号采集模块的基本结构

4.1 FPGA

FPGA 的选择要根据其需要完成的功能以及逻辑的资源使用与功耗来统筹考虑。FPGA 是 AFDX 采集模块的核心处理器,主要完成 AFDX 帧的完整性检测,余度管

理、AFDX 组帧并转发、过滤及挑参和背板接口功能^[4]。

4.2 电源电路

AFDX 采集模块通过背板接口外部供电 3.3 V,需要将电源转换为 2.5 V、1.2 V、1.1 V,其中 1.1 V 为 FPGA

内核工作电压, 2.5 V 为 FPGA 内部 PLL 工作电压, 1.2 V 为千兆以太网 PHY 芯片工作电压。

4.3 AFDX 接口电路

AFDX 采集模块包含 3 路 AFDX 接口, 其中 AFDX1 和 AFDX2 接口互为冗余, AFDX3 用于向外部 100% 转发去除冗余后 AFDX 帧数据。3 路接口分别拥有自己独立的 PHY 芯片和接口变压器。

4.4 时钟电路

AFDX 采集模块由两种时钟信号, 分别是 FPGA 工作系统时钟和 AFDX 的 PHY 芯片工作时钟, 其中 PHY 芯片工作时钟是通过一个 25 MHz 时钟晶振源提供, 经过时钟驱动器分别输送给 3 路 PHY 芯片, FPGA 工作系统时钟通过背板接口获得一个 120 MHz 时钟^[5]。

4.5 复位电路

AFDX 采集模块复位信号采用 RC 复位电路产生, 上电复位时间在 10 ms 以内, 复位电路输出的复位信号经过 SN74LVC2G14 反相器进行信号稳定, 从而用来进行逻辑初始化复位。

AFDX 采集模块所用元器件, 在不计算 FPGA 功耗时, 其他元器件功耗应小于 3.7 W, 所选 FPGA 为低功耗器件, 整板功耗估计应小于 6 W。

5 AFDX 总线采集模块逻辑设计

AFDX 总线采集模块逻辑功能主要是实现两路 AFDX 数据帧的接收, 对接收到的数据帧进行完整性检查及冗余管理, 数据帧的重新组包及完全转发; 基于接收数据帧的 VL_ID, UDP 目的端口号及参数配置表的用户数据进行挑选, 并按照背板接口时序发送过滤所得数据。AFDX 信号采集模块逻辑设计方案如图 4 所示。

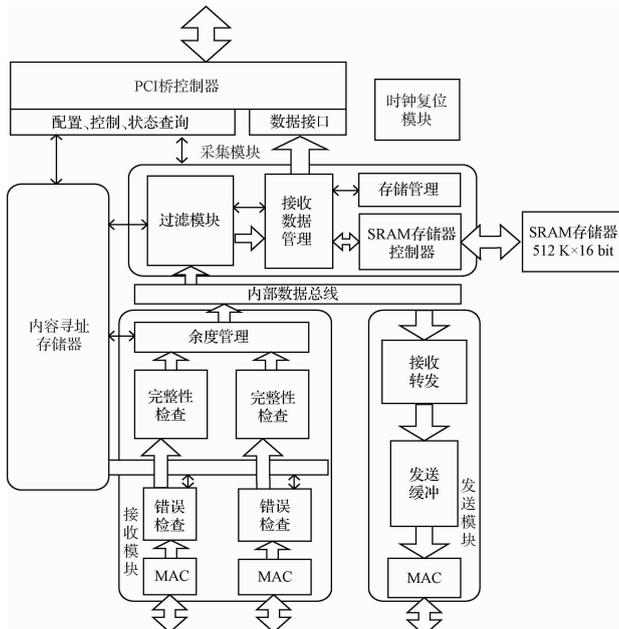


图 4 AFDX 信号采集模块逻辑设计方案

AFDX 信号采集模块逻辑设计包括接收模块、发送模块、采集模块、内容寻址存储器、PCI 桥控制器和时钟复位模块。

数据从双冗余 MAC 端口输入, 通过错误检查、完整性检查、冗余管理, 符合要求的数据帧通过发送模块转发, 同时采集模块从接收数据中根据内容寻址存储器配置要求, 过滤提取需要监控的帧数据信息, 封装成监控数据包, 缓冲到外部 SRAM 存储器, 当主机端接收准备好, 将接监控数据包通过 PCI 桥控制器提交给主机, 完成监控信息的采集和记录^[6]。

1) 冗余管理

将两路从 AFDX 交换机捕获口接收的数据帧中选择一路正确有效的数据, 提交过滤模块的 MAC3, 同时记录数据帧到达的时间, 时间格式采用 1588 时钟格式, 要求记录第一个字节到达的时间。

2) 过滤模块

过滤模块分为两级过滤, 第一级过滤为 VLID 过滤, 筛选出需要的帧数据, 并暂存到 SRAM 中, 第二级过滤为挑参数过程, 按照配置表将需要的参数信息跳出, 并按照配置表要求组合数据, 增加时间戳信息, 将数据按照配置表中指定的偏移存储到输出 BUF 中, 输出 BUF 分为两块, 乒乓操作, 对于 CPU 可见的为 1 块, BUF 的大小共 1024×16 bit。

3) 桥核 IP

桥核为用户开发的 IP, 配套的 FPGA 芯片类型为 5CEFA7U19I7N, IP 接口全开放, 可自行调用, 负责配置 FPGA 内部寄存器和收取输出 BUF 中的数据给处理器。

4) 配置表

配置表的内容如图 5 所示, 在主机测存储, 通过处理器配置到 AFDX 信号采集模块的逻辑寄存器中, 寄存器对于主机是透明的, 可全部访问。参数不会超过 4 096 个, SRAM 存储区也可以存储 4 096 帧(整帧内容), 配置 3 区是挑参数的配置内容, 处理器会将需要挑选参数的偏移位置告诉 FPGA 逻辑, FPGA 逻辑按照偏移将数据帧中的数据在挑选出来, 并按照配置 3 区的输出缓冲区 BUF 的偏移将挑选的数据连同时间及要求的信息存储到指定的位置, 并更新指针标识, 供用户读取。

所存储的信息均为采样信息, 要求逻辑能够按时存放。

(AFDX 信号采集模块接收到 AFDX1 和 AFDX2 的带宽为 100 M, 但经过过滤模块后剩余的带宽不超过 20 M^[7]。

由于在系统中, 应用可能将关键数据如高度、速度、温度或其他数据放在一个 AFDX 帧中同时传输, 但每个小周期号只选取 1 个参数进行筛选, 有可能需要在其他的小周期中在此帧中继续筛选其他的信息, 所以需要帧进行暂存, 但时间不会超过大周期(在一个大周期下必须完成 4096 的配置轮询一次, 一个大周期分为多个小周期)。最高采样率为 2 kHz, 最低采样率为 64 Hz。

5) 采集模块

包括过滤模块、存储、接收数据管理 3 部分, 可将过滤

后的数据按照配置表要求的位置进行存放,供应用访问^[8]。

6) 发送模块

帧在经过余度管理模块后,将时间戳打上后直接转发到 AFDX3 端口,即完成此模块功能^[9]。

7) 错误记录功能

AFDX 信号采集模块可将接收数据过程中的错误信息记录下来,包括各种错误信息 CRC 错、非字节对齐错、帧帧错、IFG 错、目的 MAC 错误等 MIB 统计信息记录下来,并提供记录寄存器^[10]。

Parameter	EU Value	Units
DS42_FCS_Output_PF20_lo		Unit
DS43_FCS_Output_ADA20	D0880007	BitVector
DS43_FCS_Output_ADA20_Final	542136 000	Unit
DS43_FCS_Output_ADA20_Final_Data	500 000	Unit
DS43_FCS_Output_ADA20_Final_Label	17 000	Unit
DS43_FCS_Output_ADA20_Final_Parity	0 000	Unit
DS43_FCS_Output_ADA20_Final_SDI	0 000	Unit
DS43_FCS_Output_ADA20_Final_SSM	0 000	Unit
DS43_FCS_Output_ADA20_hi	53384 000	Unit
DS43_FCS_Output_ADA20_lo	7 000	Unit
DS44_FCS_Output_ADA20	D0840007	BitVector
DS44_FCS_Output_ADA20_Final	542132 000	Unit
DS44_FCS_Output_ADA20_Final_Data	500 000	Unit
DS44_FCS_Output_ADA20_Final_Label	33 000	Unit
DS44_FCS_Output_ADA20_Final_Parity	0 000	Unit
DS44_FCS_Output_ADA20_Final_SDI	0 000	Unit

图 7 AFDX 总线采集模块实时采集数据

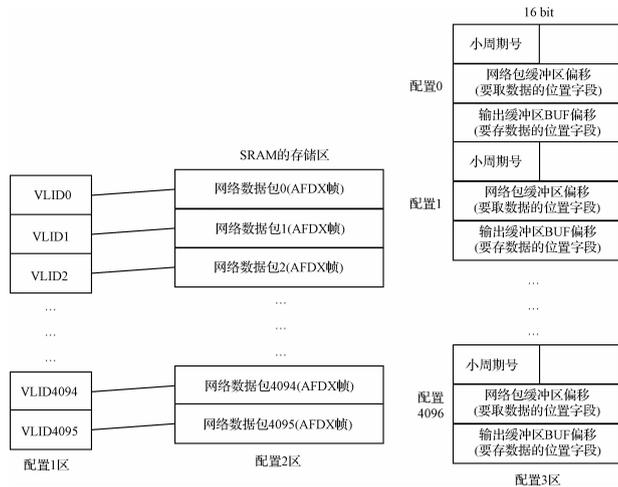


图 5 AFDX 配置区

6 总线仿真测试

6.1 AFDX 总线消息丢包测试

按照物理层工作速率 100 Mbps, VL_ID 数量 120, 每个 VL 帧发送间隔 8 ms, 帧内数据值大小依次递增进行设定, 试飞测试设备获取的数据区内容、接收消息计数值与总线仿真设备发送数据一致, 无丢包现象产生。

判断总线消息中特征字 SN 号数据波形是否为锯齿波, 是否存在跳点, 作为数据接收正确与否的判断依据。总线采集数据特征字(SN)测试结果如图 6 所示。

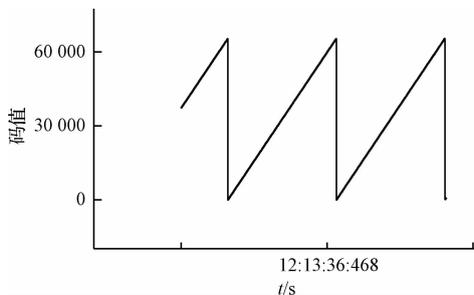


图 6 总线采集数据特征字(SN)测试结果

6.2 AFDX 总线采集航电实验室联试

C919 飞机航电系统联试内容较多, 其中 AFDX 总线采集设备采实时显示的数据如图 7 所示。

7 结论

AFDX 总线采集设备已完成了各种地面试验, 并在航电实验室完成了地面试验, 测试设备可以完成数据的采集和实时分析, 结果经确认与航电实验室航电系统输出的数据完全一致, 经过大量的地面试验以及航电铁鸟台的实测数据, 验证了测试数据的正确性及完整性, 证明了该总线测试技术的有效性测试系统的稳定性。

参考文献

- [1] 赵永库, 李贞, 唐来胜. AFDX 网络协议研究 [J]. 计算机测量与控制, 2012, 20 (1): 8-10.
- [2] 杨莹, 周晓旭, 郭晓澎, 等. 基于 WiFi 的分布式无线数据采集系统 [J]. 电子测量技术, 2016, 39(11): 122-125.
- [3] 宋东, 曾星星, 丁丽娜, 等. AFDX 网络系统建与仿真实现 [J]. 测控技术, 2012, 31(2): 76-80.
- [4] 张松, 李筠. FPGA 的模块化设计方法 [J]. 电子测量与仪器学报, 2014, 28(5): 560-565.
- [5] 何雯, 董威, 苟辉. 基于 FPGA 的高速视频采集系统的设计 [J]. 国外电子测量技术, 2016, 35(5): 83-87.
- [6] 李美花, 闫卫平, 王颖, 等. 微传感器阵列多通道数据采集和处理系统 [J]. 电子测量与仪器学报, 2016, 30(2): 312-317.
- [7] ZHAN Y J, MA SH CH, ZHUANG T, et al. Research on network integration technology of observation stations [J]. Instrumentation, 2015, 2(3): 35-42.
- [8] 武华, 马捷中, 翟正军. AFDX 端系统通信端口的设计与实现 [J]. 测控技术, 2009, 28 (03): 56-59.
- [9] 张建东, 吴梦舒. 基于消息驱动的 AFDX 通信机制分析 [J]. 西北工业大学学报, 2011, 29 (05): 659-663.
- [10] 周天然, 张勇涛, 何锋, 等. 基于 AFDX 的航空电子系统可调度性分析 [J]. 北京航空航天大学学报, 2012, 38(1): 75-79.

作者简介

王仲杰, 1981 年出生, 硕士研究生, 高级工程师, 主要研究方向为机载测试技术。

E-mail: 362680574@qq.com

蒋红娜, 1984 年出生, 硕士研究生, 工程师, 主要研究方向为机载测试系统传感器研发及校准技术。

E-mail: 19024286@qq.com