

## 基于 USB2.0 的多串口数据采集设计

郭敏<sup>1</sup> 庄信武<sup>2</sup> 任海波<sup>3</sup> 王向东<sup>2</sup>

(1. 榆林学院能源工程学院测控教研室 榆林 719000; 2. 中国人民解放军 96658 部队 北京 100094;

3. 西北机电工程研究所第九研究室 咸阳 712000)

**摘要:**针对多串口实际需求,依据 USB2.0 与串口传输速度差特点,提出了一种基于 USB2.0 的多通道串口数据采集方案。在硬件上,针对热插热拔设备供电限制及系统可靠性要求,对主要芯片进行论证选型,并设计系统框架;在软件上,为了避免多串口主动同时“抢占”USB 接口而导致数据丢帧问题,引入多级缓存结构,变主动“抢占”为被动入栈,同时采用统计方法设计串口防抖捕获模型。为了验证设计模型的有效性,以 Demo 平台为试验对象,设计了 4 路串口传输的试验方案,实验结果满足预期要求,达到多路串口传输的目的。

**关键词:**USB2.0; 多通道串口; 数据采集; 数据传输

**中图分类号:** TB47 **文献标识码:** A **国家标准学科分类代码:** 510.8020

## Designing the multi-serial ports data collection based on USB2.0

Guo Min<sup>1</sup> Zhuang Xinwu<sup>2</sup> Ren Haibo<sup>3</sup> Wang Xiangdong<sup>2</sup>

(1. The office of Measurement and Control in Energy Engineering Institute of Yulin University, Yulin 719000, China;

2. PLA 96658 Unit, Beijing 100094, China;

3. Northwest Institute of Mechanical & Electrical Engineering, Xianyang 712000, China)

**Abstract:** For the actual demand of multi-serial port, a USB2.0 - based multi-channel serial data acquisition scheme was proposed in this paper according to the characteristics of USB2.0 and serial transmission speed difference. In the respect of hardware, for the hot stuck equipment power supply restrictions and system reliability requirements, the main chip demonstration selection, and the system framework was designed; In the respect of software, in order to avoid multi-serial active at the same time ‘preemptive’ USB interface and data frames loss, the multi-level cache structure was introduced to change the initiative to ‘preemptive’ for the passive stack. At the same time, the serial image stabilization capture model was designed by statistical method. In order to verify the effectiveness of the design model, the test scheme of 4-way serial transmission was designed with the Demo platform as the test object. The test results meet the expected requirements and achieve the purpose of multi-channel serial transmission.

**Keywords:** USB2.0; multi-channel serial ports; data collection; data transmission

### 0 引言

串口通信接口在现代的通信中多指 RS232、RS485、RS422 等低速串行传输总线,被广泛运用于监控管理、工业控制、数据采集等系统中,是目前最常用的通信方式之一。随着电子设备不断地普及,及在工业控制、医疗卫生、家庭生活等各个领域的广泛运用<sup>[1-2]</sup>,现场对串口规模要求越来越高,针对当前大多主机单个串口数量现状是基本上无法满足应用的需求,多串口通信技术研究成为当前一

个研究热点方向<sup>[3-9]</sup>。

从现有研究文献来看,主要从两个方面展开研究:1) 硬件设计研究,主要通过 CPLD 或 FPGA 等具有并行处理能力及流水线设计能力的芯片来实现<sup>[4-5]</sup>,如姚通等人<sup>[6-7]</sup>为了实现地面站监控计算机与无人机通信,采用 FPGA 主处理芯片实现多串口到以太网网桥的通信;邓懿<sup>[8]</sup>基于 PCI 总线技术,利用 CPLD 及 PCI 专用芯片 PCI9052 实现多串口数据通讯卡设计。上述两篇报告中,前者需要独立供电,后者不能实现硬件的热插热拔,而且

采用 PCI 接口方式限制产品的现场使用;2) 软件设计研究,如吴卓昆等人<sup>[9]</sup>利用嵌入式实时操作系统 VxWorks 对多串口通信系统进行软件设计,利用软件设计具有周期短、成本低、灵活性高等特点,但无法满足接口数量扩展的需求,特别是多串口通道同时数据传输时的需求。

针对上述多通道运用的局限性,论文结合 USB2.0 高速传输、热插热拔及可支持在线电源供电的特点,着手以 RS232 串行总线为研究对象,利用 FPGA 的并行处理能力<sup>[10]</sup>,展开基于 USB2.0 的多串口数据采集设计研究。通过研究以热插热拔、串口通道数受限等问题,同时也为其他串行总线多通道采集设计提供理论经验。

## 1 系统框架设计

根据性能剖分,多通道串口数据采集与传输系统,从硬件层面上可剖分为以下 3 大模块:接口模块、FPGA 处理模块、电源模块,如图 1 所示。接口模块主要包括串口模块、USB 总线接口模块,承担数据的对上、对下传输接口电平转换及协议解析,USB 接口模块还起到电源供电的作用,无需外部电源单独供电,可实现热插热拔转换电路的小型化结构设计;FPGA 模块主要实现与 USB2.0 接口引擎数据的传输、与串口总线数据传输,及两者之间的数据转换;电源模块负载整个电路提供稳定的电压和电流。

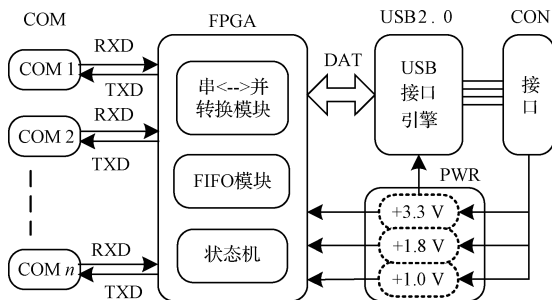


图 1 系统硬件框架结构

软件层面可将系统划分为 3 个部分:

- 1) FPGA。与串口通信协议握手,实现数据传输;与 USB2.0 接口通信协议握手,实现数据传输;实现多串口的数据与 USB2.0 接口数据的转换;
- 2) USB2.0。与 FPGA 数据握手,实现数据向上位机传输;
- 3) 上位机。从 USB2.0 接口引擎中读取数据包,并解析出各个串口的接收数据。

## 2 芯片选型及硬件设计

由于采用热插热拔结构,在无外部独立供电的情况下,转换模块的供电电源来自于 USB2.0 接口,总体的供电电流不能超过 USB2.0 接口协议规范关于电流技术指标的要求,即不能超过 500 mA,因此在芯片选型时需要特别注意芯片的功耗问题。

### 2.1 FPGA 选型

根据市场调研结果,综合处理速度、性能及硬件资源,FPGA 主要选用 Xilinx 公司的高性能功耗比的 Spartan 7 系列芯片- XC7S15- CPGA1962<sup>[11-12]</sup>,该芯片采用 28 nm 技术,比传统 45 nm 的 Spartan 6 器件序列具有更快的处理速度(快 30%),更低的功耗(低 50%),具有 100 个 I/O 管脚满足 USB2.0 接口、串口等模块管脚数量的要求;150 kB 分布式 RAM 及 3 600 kB Block RAM 可灵活配置多个 FIFO 要求;GCLK 全局时钟最高可达到 464 MHz。

### 2.2 USB2.0 接口选型

USB2.0 接口芯片主要选用 Cypress 公司生产的 FX2 序列的芯片——CY7C68013,该芯片集成了增强型 8051 微处理器和智能串行接口引擎,可配置 2 倍、3 倍、4 倍缓冲,支持全速 12 Mb/s 和高速的 480 Mb/s 传输,且兼容 USB1.1。该芯片最大优势是 Cypress 公司给提供固件编程框架,仅需要少量修改配置代码即可完成 USB2.0 接口配置。

### 2.3 串口模块选型

随着电子设备的广泛运用,特别是工业现场、医疗设备等设备的运用场合,由于 RS-232 电缆网络与相连系统易受到电压尖峰和接地环路的影响,为了防范这类问题的发生,选用 Analog 公司生产的 ADM3252E 接口芯片<sup>[13]</sup>,该芯片通过 isoPower<sup>®</sup>集成式 DC-DC 转换器和 iCoupler<sup>®</sup>技术,可在噪声环境中实现信号隔离和电源隔离,提高接口的可靠性。该芯片采用 BGA 封装,+3.3/5.0 V 供电,具有 2 路收发通道,最高比特率可达 460 kb/s。

### 2.4 系统硬件设计

根据上述芯片选型结果,并参考热插热拔结构供电限制,在保障系统可靠性及性能的要求下,深入挖掘硬件功能,剔除冗余芯片,如经研究分析 CY7C68013A 芯片数据手册后,发现该芯片具有同步传输功能,且可向外提供同步信号源 IFCLK,针对这种情况,在系统硬件框架设计时可剔除 FPGA 冗余的 OSC 晶体振荡器,利用 USB 提供的同步时钟 IFCLK 作为系统全局,从而达到 FPGA 系统的全局同步。以上只是一个典例,系统硬件框架设计最终如图 2 所示。

## 3 主要模块软件设计

根据上述系统硬件框架图,可将系统软件的设计划分为 FPGA、USB、上位机 3 大模块,其系统核心模块主要包括:串口数据防抖捕获处理、为了便于数据传输的串并转换设计、多个低速的 RS-232 接口共用一个高速 USB2.0 接口决策控制、CY7C68013A 传输模块控制、以及上位机软件的设计。

### 3.1 防抖及串并转换设计

在串口数据的捕获处理上,虽然在硬件采用隔离式接口转换芯片,防范电压尖峰和接地环路的影响,但保险起见,在软件设计时也需考虑一些防抖措施,以提高串口的

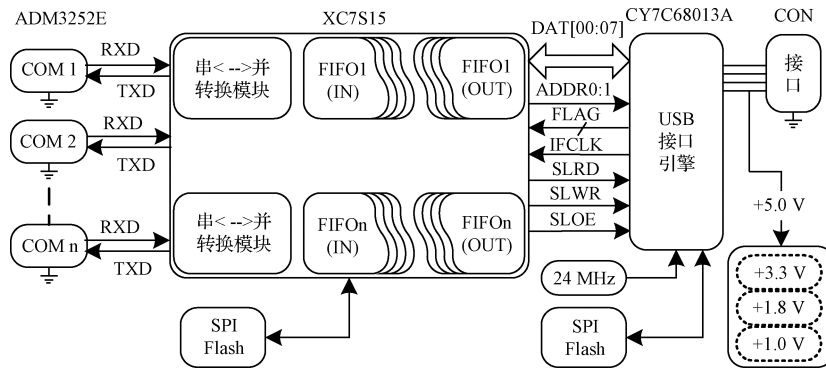


图2 多通道串口系统框架

抗干扰能力,以降低误比特率。本小节将从软件层面结合FPGA流水线设计的硬件特点,在串口数据进行串行转并行时加入防抖防抖策略,实现串口数据捕获时的防抖处理。

串并转换模块是根据EIA/TIA-232E串行总线规范协议,按照串行总线数据帧结构,从串行总线上解析出易于存储和传输的并行数据,通常为8位数据位。假设在固定波特率条件下,数据位宽为 $T_w$ ,在此位宽期间采用高出很多倍的采样时钟采集到高、低电平,累加计数得到电平的样本数,通过这样本的高低电平分布情况,可准确判断数据位宽 $T_w$ 内为高逻辑电平,还是低逻辑电平,分布判断准则如表1所示,RTL模块如图3所示。

表1 软件抗干扰判断表

序号	$T_w$ 采集高、低电平样本数	判断结果
1	高电平样本数 $\geq$ 采样频率数/2	高电平
2	低电平样本数 $\geq$ 采样频率数/2	低电平

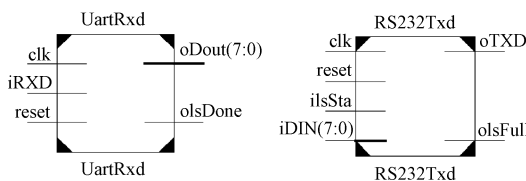


图3 串并互转电路RTL模块

图3中,clk为系统同步时钟,由USB芯片CY7C68013A的IFCLK管脚提供,reset为系统复位信号;左图为串转并模型,iRXD为经接口电平转换后,FPGA能够采样的串口接收信号;oDOUT[7:0]为并行处理后的8位输出数据,若设定为7位,则取最低7位有效位;oIsDone为串口接收完满帧后,给出的脉冲同步信号,以供后续模块提供同步触发源。右图为并转串模型,按照串行协议插入起始位、数据位、停止位以及必要奇偶校验位等,其中iDin[7:0]为8位宽度的并行数据,iIsSta为同步脉冲数据信号,oTXD为串行数据信号,oIsFull为并串转换模块的32 Bytes的缓冲满标志。

利用Modelsim对模型进行行为级仿真,结果如图4

所示,仿真条件设定如下:8位数据0x55,无奇偶校验位,2位停止位,波特率位115 200。按照RS-232串行总线接口规范,oTXD输出数据流应为0\_1010\_1010\_11,仿真结果与其一致,由此说明该模型的正确性。

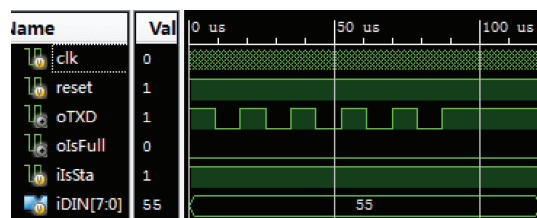


图4 并行转串行总线数据仿真结果

为了验证上述串行数据捕获的防抖功能,基于上述“并转串模型”,在oTXD输出总线上,加入1/5位宽的干扰噪声后,仿真结果如图5所示,经分析加入干扰噪声后,转换模型仍能解析出总线上的正确数据,与设定数据一致,由此验证了模型抗干扰性能的正确性。

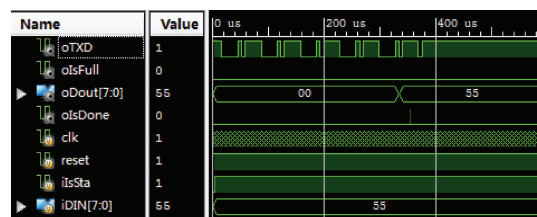


图5 加入噪声后串行转并行总线数据仿真结果

### 3.2 多串口共享USB设计

根据接口协议规范,RS232常用最高波特率为460 kbps,而USB2.0在全速运行状态采用Bulk传输方式最高波特率可480 Mbps,利用两者的传输速度差,可实现多个串口共享一个USB口进行数据传输(理想情况下480 Mb/s/460 kbps $\approx$ 104个左右,当数量达到一定时,需要考虑外部供电问题)。为了避免多个串口主动同时“抢占”USB接口而导致数据丢帧,本文引入多级缓存结构,将主动“抢占”转换为被动入栈方式。

根据上述芯片选型结果Spartan 7系列芯片XC7S15型号,具有50 kB分布式RAM及3 600 kB Block RAM可

灵活配置多个 512 Byte 深度的 FIFO。本设计中,每个接收通道采用 3 个数据 FIFO 进行并联处理,结构如图 6 所示,各自分配工作如下:1 个 FIFO 进行写操作、1 个 FIFO 进行读操作,为了避免读写竞争,第 3 个 FIFO 始终为空闲状态。当 FIFO 数据填满时启动数据打包状态机,进行数据装帧,若最后的 FIFO,经过一段时间仍未有数据写入,则启动定时状态机,读取 FIFO 中剩余的数据的同时,将 FIFO 指针切换至下个 FIFO。每个发送通道配置一个与 USB 输出端点相同深度的 FIFO,实现 USB 发送数据缓冲处理。

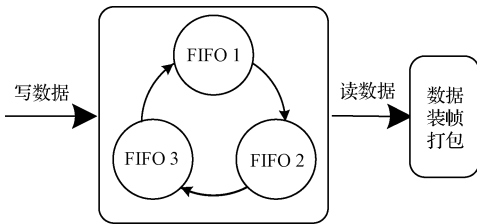


图 6 多 FIFO 数据缓存结构

### 3.3 USB 传输模块设计

USB 控制器主要实现 FPGA 与高速 USB 接口之间的握手通信,及数据的接收与发送等工作。针对 USB 模块设计可根据 Cypress 公司提供的 Framework 固件框架进行修剪<sup>[14]</sup>,将数据缓冲端点 EP2 设置为 Out 端点,端点大小为 512 Bytes;EP6 设置为 In 端点,端点大小为 2 048 Bytes,采用同步 Bulk 传输方式,FPGA 系统时钟由 USB 接口芯片 CY7C67013 的 IFCLK 提供,频率 48 MHz。利用 Keil 软件将上述配置的 Framework 生成 Hex 文件并烧录入 USB 的程序存储器中,当 USB 进行热插时,USB 接口芯片自动加载程序;当进行热拔时 USB 接口芯片自动断电。

FPGA 从串口缓冲中读取相应的打包数据,按照 Slave FIFO 的传输时序,定时地从各个接口的缓存中读取打包后的数据帧,并按照约定的帧排列方法,如图 7 所示,组成数据传输结构,即可完成与主机之间高速通信<sup>[15]</sup>,这种模式的优点是 USB 芯片不需要内部核芯片参与工作,有效地提高了传输的速度。

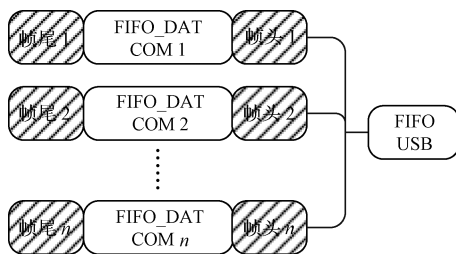


图 7 多接口缓存数据结构

FPGA 读写 USB 接口 FIFO 数据,按照“先读后写、状态锁存”的原则设计状态机,即当系统处于空闲状态时,先进行读判断后进行写判断,当系统处于读或写数据状态时,直到数据读完或写完方可切换状态,具体描述如下:

1) FPGA 状态机不断地从检测 FLAGC 管脚的状态,当 FLAGC 为高且缓存已满时,FPGA 发出 SLOE 及 SLRD 低电平信号,在 IFCLK 上升沿连续读取 512 Byte 8 bits 数据;当 FLAGC 为低时,端点 2 为空,FPGA 拉回 SLOE 及 SLRD 为高电平。

2) 当 FPGA 无读数据需求时,连续检测 FLAGB 信号,当 FLAGB 为高时,端点 6 数据为非满,此时 FPGA 判断串口缓冲中的数据数量是否达到标志位数量,如果够数量,则发出 SLWR 低电平信号,并实时检测 FLAGB 标志位,当 FLAGB 为低电平时表示缓存已满。

根据上述原则,FPGA 对 USB 接口 FIFO 缓存读写操作的切换,只有当系统处于空闲状态时方可进行,系统状态机由此可描述如图 8 所示。

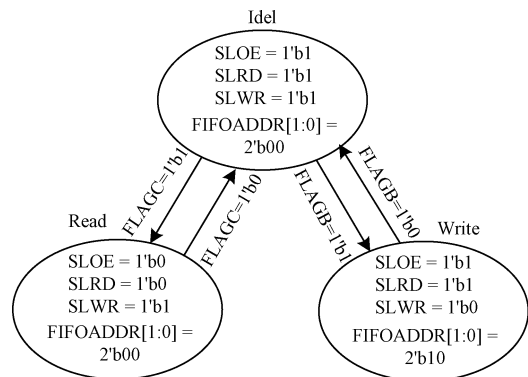


图 8 FPGA 对 USB 缓冲读写状态机

### 3.4 上位机软件设计

上位机软件采用 Visual C# 软件开发,利用 Cypress 官方提供底层驱动 API,完成上位软件编写,其主要工作完成收、发数据两项工作,其中发数据较为容易,只要向端口发送固定字节数数据帧即可,其中数据帧应包括帧头、数据、帧尾,帧头和帧尾作为串口通道的表示及数据终止符。接收数据采用定时器线程,根据处理内容的复杂程度可采用每隔 50 ms 或 100 ms 轮询 FIFO,如果 FIFO 数据达到 2 048 Byte,系统将自动读出,并根据帧头、帧尾进行辨识、信息提取。上位机软件操作流程如图 9 所示。

## 4 实验验证与分析

为了验证上述方案的可行性,以某 Demo 简易平台为实验对象,该平台的 FPGA 采用比 Spartan 7 较低性能功耗比的 Spartan 6 作为处理器,实现状态机控制;USB 接口芯片为 CY7C68013A-56,USB 与 FPGA 之间采用 Slave 同步传输方式,USB 与上位机之间采用 Bulk 全速传输方式,且电路板由 USB 供电;由于该 Demo 简易平台没有串口芯片,通过 I/O 口管脚来模拟串口的 TXD、RXD 管脚,通过 I/O 口管脚的短接来实现数据串口协议数据的回传。本实验中模拟四个串口进行读写实验,实验方案及结果描述如图 10 所示。

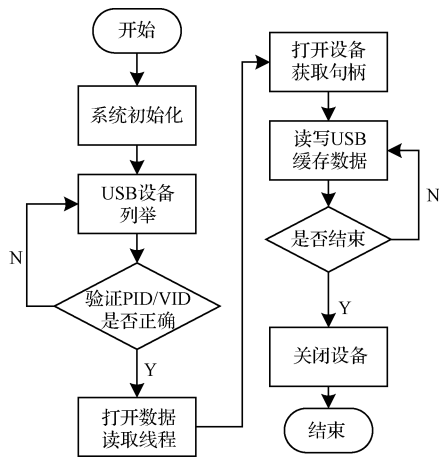
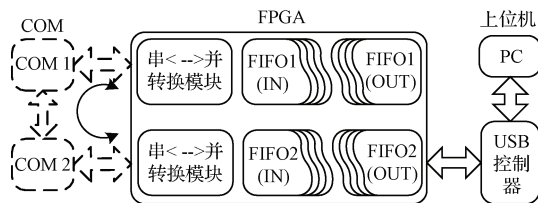


图9 上位机软件操作流程



(a) 实验方案



(b) 实验结果

图10 实验方案与结果

分析图10(b)实验结果,对比输入与输出数据一致,无存在漏帧错帧现象。由此验证几个结果:

1) Demo 简易平台采用比 45 nm 系列的 Spartan 6 芯片,在其功耗总体比 28 nm 系列的 Spartan 7 高出许多的情况,可由 USB 单独供电,由此说明系统所提供供电方案的可行性;

2) 经过试验 Demo 简易平台可完全跑通整个实验,由于 FPGA 内部的 Verilog HDL 语言数学模型与型号基本无关,能在 Spartan 6 跑通的模型,通过移植也基本能在 Spartan 7 跑通,由此说明了模型的正确性。

## 5 结论

论文利用了 USB2.0 与串口传输速度差特性,实现多

个串口数据采集设计,在硬件上针对热插热拔设备供电限制要求,对主要芯片进行论证选型;在软件上,为了避免多串口主动同时“抢占”USB 接口而导致数据丢帧问题,引入多级缓存结构,变主动“抢占”转换为被动入栈,最终通过实验验证了方案模型的正确性。

## 参考文献

- [1] 赵莉,王翔. 反馈调节式体外血液净化加热系统的设计[J]. 电子测量与仪器学报,2015,29(7):1080-1085.
- [2] 何素梅,傅锦良,吴海彬. LED 隧道照明自动调光系统的设计[J]. 电子测量与仪器学报,2015,29(4):622-629.
- [3] 郑明玲,李宝峰,邢建英,等. 一种多串口通信系统设计[C]. 第十九届计算机工程与工艺年会暨第五届微处理器技术论坛论文集,2015:343-346.
- [4] 姚君. 基于状态机方法的 CAN 总线通信的 FPGA 实现[J]. 国外电子测量技术,2015,34(3):64-68.
- [5] 于志翔. 基于 FPGA 的 UART 设计与实现[J]. 电子测量技术,2015,38(3):77-81.
- [6] 姚通,胡永红,丁璐. 基于 FPGA 多串口到以太网网桥的设计与实现[J]. 计算机测量与控制,2010,18(4):865-867,877.
- [7] 吕骏,王仁波,汤彬,等. 基于 USB 总线的多点数据采集系统的设计[J]. 电子测量技术,2015,38(11):88-91.
- [8] 邓懿. 基于 PCI 总线的多串口通讯卡的研究与实现[D]. 北京:首都师范大学,2008.
- [9] 吴卓昆,舒小芳,杨凯. 基于 Vx Works 的多串口通讯系统的设计[J]. 光电技术应用,2007(2):49-52.
- [10] 刘彦飞,代永红,单欣,等. 高帧频 CMOS 相机对光通信精跟踪系统影响分析[J]. 仪器仪表学报,2015,36(6):1319-1325.
- [11] Xilinx, Inc. 7 Series FPGA Data Sheet: Overview DS180 (v2.4) March 28, 2017.
- [12] Xilinx, Inc. Spartan-7 FPGA Data Sheet: DC and Switching Characteristics DS189 (v1.2) June 20, 2017.
- [13] Analog, Inc. ADM3252E Data Sheet. Isolated, Dual Channel, RS-232 Line Driver/Receiver, 2013.
- [14] 王兵兵. 基于 EZ-USB FX2 和 FPGA 的数据传输系统研究[D]. 西安:西安电子科技大学,2010.
- [15] 张静,叶小芹. 基于 FPGA 的高速 USB 协议分析仪的设计[J]. 绥化学院学报,2016,36(9):152-154.

## 作者简介

郭敏,1984 年出生,讲师,主要研究方向为智能控制、新能源运用等。

E-mail:281366282@qq.com