

基于 Nios II 的 DDS 函数信号发生器*

魏岳伦 岳庆英 齐庆堃 莫中云
(桂林电子科技大学信息科技学院 桂林 541004)

摘要:为了减小函数信号发生器的体积,降低函数信号发生器的成本,提出了一种基于 Nios II 的函数信号发生器设计方案。该方案利用硬件描述语言 Verilog HDL 设计硬件底层模块,并在现场可编程门阵列(field programmable gate array, FPGA)芯片中嵌入 Nios II 软核处理器作为系统的控制器,采用 DDS 技术使用软硬件结合的方式产生函数信号。经过试验测试结果表明,该方案可行,能够达到减小体积、降低成本的目的,并且可以产生频率、幅值可调的多种函数信号。整个系统具有较好的扩展性和良好的发展前景。

关键词:Nios II 软核; DDS 技术; FPGA; 信号发生器; AD9959

中图分类号: TP33 TN741 **文献标识码:** A **国家标准学科分类代码:** 510.1010

DDS function generator based on Nios II

Wei Yuelun Yue Qingying Qi Qingkun Mo Zhongyun
(Institute of Information Technology, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: In order to reduce the volume and the cost of the function signal generator, a design proposal of function signal generator based on Nios II has been proposed. By using Verilog HDL, this proposal can design hardware bottom module and embed Nios II soft core processor in the FPGA (field programmable gate array) chip as the control core of the system. What's more, this proposal generates the function signals by the mode of software and hardware combination with DDS Technology. It turned out by the test that this kind of proposal worked well. It can not only achieve the purpose of reducing the volume and the cost, but also generate a variety of function signals with stable waveform and adjustable amplitude. The system has good scalability and favorable prospects for development.

Keywords: Nios II soft core; DDS technology; FPGA; signal generator; AD9959

1 引言

函数信号发生器是一种常用的信号源,可以为电子测量和计量工作提供符合技术要求的电信号^[1]。因其特性而被广泛应用于电子电路、自动控制 and 科学实验中^[2]。以 DDS 为核心的宽带扫频信号源已成为近年来的研究热点^[3]。常见的利用 DDS 技术实现函数信号的方式有两种:1)采用 DA 芯片直接输出;2)采用 DDS 芯片输出^[4]。DA 芯片直接输出的方案常结合 FPGA 使用,由于 DA 芯片受到其转换速率的限制,该方案难以输出频率高的函数信号。DDS 芯片常与 ARM 芯片配合使用,由于 DDS 芯片的特性,该方案只能产生固定的函数信号。两种方案都没有在最大程度上发挥出 DDS 技术的优势,因此本文将

上述两种 DDS 技术的应用方案相结合,在 Quartus II 14.1 集成开发环境中,利用 Verilog HDL 设计系统电路的各个数字逻辑电路,并采用 Quartus II 14.1 自带的 Qsys 组件构建 Nios II 软核处理器,然后将 Nios II 软核处理器和各个逻辑电路集成在一片 FPGA 芯片上,构成一个 SOPC 数字系统,使系统的集成度更高^[5],从而达到缩小体积、降低成本的目的。

2 系统总体设计

采用自顶向下、逐级细化的设计思路,结合嵌入式可配置微处理器技术,对信号发生器进行模块化设计^[6]。顶层采用图形设计方式,底层模块采用 Verilog HDL 描述^[7],使用 Quartus II 14.1 集成开发环境完成系统的综合

收稿日期:2016-03

* 基金项目:2014 年广西壮族自治区级大学生创新创业训练计划立项项目(201413644023)资助

及仿真,并在 Cyclone® V SOC 芯片上进行了硬件的实现与验证。利用 Qsys 组件在芯片内部搭建出 Nios II 软核处理器,在一块芯片上实现了处理器与函数信号产生模块的无缝连接,提高了函数信号发生器的稳定性和抗干扰能力,同时降低了系统的功耗和成本。该函数信号发生器由函数信号产生模块、触控显示模块和放大与衰减模块组成,总体设计如图 1 所示。

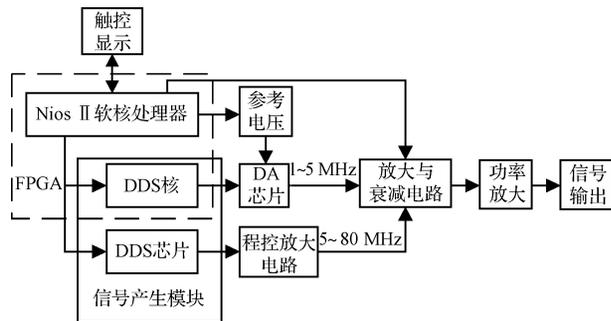


图 1 总体设计

函数信号产生模块为整个系统的设计核心,共分为两个部分。1) 为用 Verilog HDL 设计 DDS IP 核。利用 Quartus II 14.1 集成开发环境中的 Qsys 组件搭建 32 位的 Nios II 软核处理器,该处理器与触控显示模块进行数据通信,待获取到用户指令后,将指令输送到 DDS IP 核,DDS IP 核控制外部 DA 芯片输出波形,并通过改变 DA 芯片参考电压的方法来达到对输出波形幅度的控制。2) 采用 DDS 芯片直接与 FPGA 芯片中构建的 Nios II 软核处理器的 I/O 口相连。通过 Nios II 软核处理器控制 DDS 芯片输出函数信号。为了使输出的函数信号幅度可调,设计了由 AD8367 芯片构成的程控放大电路,并通过 Nios II 软核处理器为程控放大电路中的 DA 芯片输送幅度控制字,通过调整 DA 芯片的输出幅度来调节 AD8367 芯片电压控制端的电压来改变信号的输出幅度。为了扩大函数信号的幅值调整范围,设计了放大与衰减电路,用户需要通过 Nios II 软核处理器调整放大与衰减电路的控制参数,以达到对函数信号产生模块中函数信号幅度的控制。

本文设计方案的优点在于采用了两种产生函数信号的方式。既能产生精准的低频信号,又可以产生稳定的高频信号。采用 FPGA 芯片和 Verilog HDL 相结合的方式,软硬件相互配合作,既降低了装配和调试成本,又减小了系统的体积,使系统的集成度更高。同时,系统采用了触控显示的方式,具有良好的人机交互界面。

3 系统硬件电路设计

3.1 函数信号产生模块

3.1.1 DA 转换电路

DA 转换电路的作用是将 DDS IP 核中的波形 ROM 表输出的幅度量化序列转换成对应的电平输出,完成数字量到模拟量的转换。为了得到稳定准确的模拟信号,必须

选用具有高速、高精度特性的 DA 芯片。因此,本文采用 ADI 公司生产的 AD9762 芯片,它是一款并行具有 12 位数据输入,差分电流输出的高速、高精度 DAC,最高转换速率可达 125 MSPS。同时 AD9762 芯片的参考电压由 Nios II 软核处理器控制串行 DA 芯片 AD5660 提供,通过控制 DA 芯片的参考电压,可以达到改变 AD9762 输出信号幅度的目的。

由于 DA 芯片输出的信号为模拟的阶梯信号,而且当输出信号的频率接近 Nyquist-Shannon 采样定理带宽时,采样点数越少,其输出的杂散干扰就越大^[8]。为解决这些杂散干扰,设计了一个截止频率为 23 MHz 的七阶 LC 低通滤波器对 DA 芯片输出进行平滑滤波,再经过差分放大电路进行放大,最后得到所需的函数信号。DA 转换电路如图 2 所示。

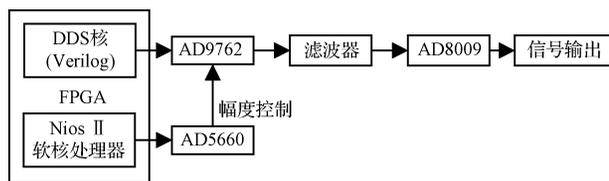


图 2 DA 转换电路

3.1.2 DDS 芯片模块

使用 DDS 芯片是为了产生波形稳定的高频函数信号。DDS 芯片模块选用 ADI 公司生产的高性能直接数字频率合成芯片 AD9959。芯片内部有 4 路通道,每路通道都带有 10 位 DAC 用于幅度调节。最高可产生 200 MHz 的正弦波。但由于波形的幅度会随着频率的增高而衰减,采用芯片内部的 DAC 控制幅度会存在较大的误差。因此并未使用 AD9959 内部的幅度调节 DAC,而是采用程控放大芯片 AD8367 对 DDS 芯片输出的函数信号进行程控放大。AD8367 采用单端输入和单端输出的工作方式,可在 500 MHz 以下的任意频率中稳定工作。DDS 芯片模块的电路连接如图 3 所示。

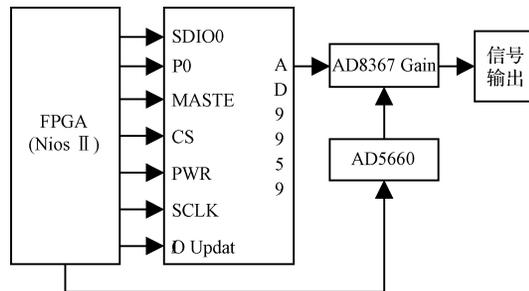


图 3 DDS 芯片模块的电路连接框图

3.2 放大与衰减电路

由于 DA 转换电路和 DDS 芯片模块输出的函数信号幅度较小,无法满足人们对函数信号幅度的需要,为了得到幅度范围更广的函数信号,设计了放大与衰减电路。用

户可以根据需要控制放大与衰减电路中的继电器控制电路,有选择地将不同幅度的信号,按要求接入放大器或衰减器电路中,以得到幅度范围更宽的函数信号。放大与衰减电路模块电路连接示意如图4所示。

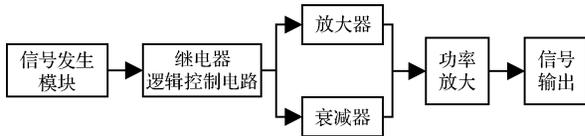


图4 放大与衰减电路连接示意

4 系统软件设计

4.1 主流程

Nios II 软核处理器是整个系统的控制核心,承担与各个硬件电路、逻辑电路之间的数据传输、处理和控制等任务^[9]。系统开始工作后,Nios II 软核处理器对其内部资源、各个逻辑电路以及系统各项参数进行初始化^[10]。当用户通过触控屏幕输出所需函数信号参数后,相应的波形参数设置函数将被调用执行,并控制相应的函数产生模块产生所需要的函数信号,经继电器控制电路后输出。系统的主流程如图5所示。

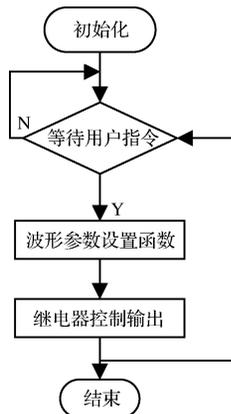


图5 系统主流程

4.2 Verilog HDL 设计的 DDS IP 核

4.2.1 相位累加器的设计

相位累加器是 DDS IP 核的关键组成部分,它决定着频率的范围和分辨率^[11]。本文利用 Verilog HDL 设计 32 位二进制相位累加器和寄存器,其中累加器和寄存器集成在同一个模块中,并取寄存器数据的高 16 位为查表的地址值。Clk 为系统时钟,fre_word 为 32 位频率控制字,Address 为输出寄存器中所取的 16 位地址值^[12]。利用 Verilog HDL 设计的 32 位累加器的代码如下:

```
module counter(Clk, fre_word, Address);
    input Clk;
    input [31:0] fre_word;
    output reg [15:0] Address;
```

```
reg[31:0] phaseadder=0;
always@(posedge Clk)
begin
    phaseadder = phaseadder+fre_
word;
    Address = phaseadder[31:16];
end
endmodule
```

4.2.2 多路数据选择器的设计

DDS IP 核中集成了正弦波、方波、三角波 3 种函数信号,但是同一时刻只允许有一种函数信号输出。因此设计了 3 选 1 数据选择器来实现同一时刻只允许输出 3 种波形中的一种波形。函数信号发生器输出何种波形由用户根据需要通过 NiosII 软核处理器控制数据选择器进行选择。利用 Verilog HDL 设计的 3 选 1 数据选择器的代码如下:

```
module moxwave(Clk, Qsin, Qtri, Qsqu, Out, Wavecode);
```

```
    input [11:0] Qsin;
    input [11:0] Qtri;
    input [11:0] Qsqu;
    input [1:0] Wavecode;
    input Clk;
    output [11:0] Out;
    reg [11:0] Out;
    always @ (posedge Clk)
    begin
        case (Wavecode)
            2'b01 : Out = Qsin;
            2'b10 : Out = Qtri;
            2'b11 : Out = Qsqu;
            default : Out = 0;
        endcase
    end
endmodule
```

4.2.3 DDS IP 核的设计

将 Verilog HDL 设计的相位累加器和 3 选 1 数据选择器生成的原理图元件符号,并在 Quartus II 软件中进行电路连接构成 DDS IP 核,其电路连接如图6所示。

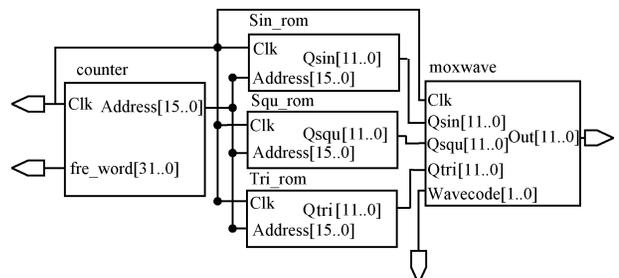


图6 DDS IP 核逻辑连接

在图6中的系统时钟 Clk 由板载晶振经嵌入式锁相环倍频后提供。频率控制字由 Nios II 软核处理器控制。相位累加器的地址输出送给波形 rom 表,控制波形 rom 表输出波形幅度量化序列到多路选择器,同时 Nios II 软核处理器控制 3 选 1 数据选择器输出用户需要的波形幅度量化序列。整个 DDS IP 核集成在 FPGA 芯片内部,实现了模块与模块的无缝连接,提高了抗干扰能力。

5 测试结果

使用 Tektronix MDO3052 示波器对本文所研制的函数信号发生器进行测试,得到其基本指标参数如表 1 所示。

表 1 基本指标参数

指标	参数
输出波形	正弦波、三角波、方波
输出频率	正弦波:1 Hz~100 MHz 三角波、方波:1 Hz~5 MHz
输出幅度	10 mV~15 V
输出阻抗	50 Ω

为了测试本文所研制的函数信号发生器频率与幅度的准确性,将其与 RIGOL DG4062 函数信号发生器同时接入 MDO3052 示波器进行对比测试,得到部分参数的测试结果如表 2、3 所示。表 2、3 中的误差为本文所研制的函数信号发生器实测值与预置值之间的误差。

表 2 频率测试对比结果 (Hz)

序号	预置值	DG4062	研制的函数信号发生器	误差
1	100	100	100	0
2	1 K	1 K	999.9	0.1
3	10 K	10 K	10.01 K	0.01 K
4	10 M	10 M	9.98 M	0.02 M
5	20 M	20 M	19.99 M	0.01 M
6	43 M	42.99 M	42.98 M	0.02 M
7	59 M	59 M	58.98 M	0.02 M
8	80 M	—	79.97 M	0.03 M
9	100 M	—	99.97 M	0.03 M

表 3 幅度测试对比结果 (V)

序号	预置值	DG4062	研制的函数信号发生器	误差
1	0.1	0.10	0.099	0.001
2	1	0.99	0.990	0.010
3	3	3.00	3.01	0.010
4	5	4.99	4.980	0.020
5	10	10.00	9.990	0.010
6	15	14.99	14.980	0.020

表 2 和表 3 中的对比测试结果表明:本文所研制的函数信号发生器的频率与幅度的准确性较高,频率范围宽、误差小。

6 结论

基于 Nios II 的 DDS 函数信号发生器,充分发挥了 Nios II 软核处理器可进行软硬件裁剪的灵活性。将 Nios II 软核处理器、DDS IP 核和 DDS 芯片的控制电路等数字电路集成在一片 FPGA 芯片中,使系统集成度高,解决了传统函数信号发生器体积大成本高的缺陷,但该方案并未发挥 DDS 技术可产生任意波形的优势。在今后的研究中,可在系统中加入产生任意波形的功能,以完善所研制的函数信号发生器的功能。

参考文献

- [1] 王文华. 基于 DDS 技术的任意波形发生器研究[D]. 杭州:浙江大学,2002.
- [2] 易艺,郝建卫,李长俊. 基于 XMEGA 的交流电流源的研究与实现[J]. 电子技术应用,2015,41(2):139-141.
- [3] 董建晶,张晓青. 基于 FPGA 与 AD9854 的宽带扫频信号源设计[J]. 国外电子测量技术,2013,32(11):65-69.
- [4] 张国光. 基于 DDS 的高精度多路信号发生系统研究[J]. 电子测量技术,2014,37(4):125-129.
- [5] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565.
- [6] 潘松,黄继业,潘明. EDA 技术实用教程—Verilog HDL 版[M]. 第五版. 北京:科学出版社,2013.
- [7] 夏宇闻. Verilog 数字系统设计教程[M]. 第 3 版. 北京:北京航空航天大学出版社,2013.
- [8] 梁孟享,胡聪,盘书宝. 基于 FPGA 的高性能信号源模块设计[J]. 国外电子测量技术,2012,31(4):64-67.
- [9] 倪明辉,周军,杨庚. USB 在 FPGA 控制的高速数据采集系统中的应用[J]. 计算机测量与控制,2006,14(2):268-271.
- [10] 郝建卫. 基于 FPGA 的脉冲宽度调制信号发生器[J]. 计算机工程,2013,39(2):260-264.
- [11] 任爱锋,罗丰,宋士权,等. 基于 FPGA 的嵌入式系统设计—Altera SoC FPGA[M]. 第二版. 西安:西安电子科技大学出版社,2014.
- [12] 王书勋. 基于 SOPC 的可重构 DDS 信号发生器的设计与实现[D]. 北京:华北电力大学,2008.

作者简介

魏岳伦,1993 年出生,男,本科生,主要研究方向为仪器仪表、测量与控制技术。

岳庆英(通讯作者),1986 年出生,女,实习研究员,指导教师,主要研究方向为高校实践教学管理、项目管理。

E-mail: yqy@guet.edu.cn

齐庆堃,1981 年出生,男,实验师,指导教师,主要研究方向为电路系统、电子技术。